

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月31日  
Date of Application:

出願番号 特願2002-317028  
Application Number:  
[ST. 10/C]: [JP2002-317028]

出願人 株式会社ルネサステクノロジ  
Applicant(s):

特許庁長官  
Commissioner,  
Japan Patent Office

2003年10月 1日

今井康夫

出証番号 出証特2003-3080890

【書類名】 特許願

【整理番号】 H02011731

【提出日】 平成14年10月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/316

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 平岩 篤

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 酒井 哲

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 石川 大

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 池田 良広

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

## 【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 以下の工程を有することを特徴とする半導体装置の製造方法：

(a) 半導体基板上に、酸化シリコン膜、窒化シリコン膜または酸窒化シリコン膜の単体膜からなる絶縁膜、もしくはこれらの単体膜のうちの選択された 2 以上の膜の積層膜からなる絶縁膜を化学気相成長法により堆積する工程、

(b) 前記絶縁膜に対して、酸素原子を含む雰囲気中においてプラズマ処理を施す工程。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、前記プラズマ処理により半導体基板上に形成される酸化シリコン膜の厚さは、前記化学気相成長法で形成される絶縁膜の厚さの 60 % を下限とし、前記絶縁膜の厚さの 140 % を上限とする範囲内にあることを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 記載の半導体装置の製造方法において、前記化学気相成長法で形成される絶縁膜を原子層成長法により形成することを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 記載の半導体装置の製造方法において、前記プラズマ処理は、酸素原子を含むイオンを主体とするプラズマの処理であることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 記載の半導体装置の製造方法において、前記プラズマ処理時の処理室内の圧力が 1 Pa 以上、200 Pa 以下であることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 記載の半導体装置の製造方法において、前記雰囲気の水を含有していることを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 記載の半導体装置の製造方法において、前記雰囲気は不活性ガスを有しており、その不活性ガスの流量が前記酸素原子を含む気体の流量よりも多いことを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 1 記載の半導体装置の製造方法において、前記化学気

相成長法による成膜温度が700℃以上であることを特徴とする半導体装置の製造方法。

【請求項9】 半導体基板上に、酸化シリコン膜、窒化シリコン膜または酸窒化シリコン膜の単体膜からなる絶縁膜、もしくはこれらの単体膜のうちの選択された2以上の膜の積層膜からなる絶縁膜を化学気相成長法により堆積する工程と、前記絶縁膜に対して、酸素原子を含む雰囲気中においてプラズマ処理を施す工程とを2回以上繰り返す工程を有することを特徴とする半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法において、前記プラズマ処理は、酸素原子を含むイオンを主体とするプラズマの処理であることを特徴とする半導体装置の製造方法。

【請求項11】 請求項1または9記載の半導体装置の製造方法において、前記プラズマ処理はプラズマ中のイオンの割合の方がラディカル割合よりも多いような状況下で行うことを特徴とする半導体装置の製造方法。

【請求項12】 請求項1または9記載の半導体装置の製造方法において、前記半導体基板に、厚さの異なるゲート絶縁膜を有する電界効果トランジスタを形成する工程を有し、前記プラズマ処理が施される絶縁膜は、相対的に厚いゲート絶縁膜を形成する膜であることを特徴とする半導体装置の製造方法。

【請求項13】 以下の工程を有することを特徴とする半導体装置の製造方法：

(a) 半導体基板上に、酸化シリコン膜からなる相対的に厚い絶縁膜を化学気相成長法により堆積する工程、

(b) 前記相対的に厚い絶縁膜に対して、酸素原子を含む雰囲気中においてプラズマ処理を施す工程、

(c) 前記相対的に厚い絶縁膜が前記半導体基板上の少なくとも厚膜形成領域に残されるように前記相対的に厚い絶縁膜をパターンニングする工程。

【請求項14】 請求項13記載の半導体装置の製造方法において、

(d) 前記(c)工程後、前記半導体基板に対して少なくとも熱酸化処理を施すことにより、前記半導体基板の薄膜形成領域に相対的に薄い絶縁膜を形成する工

程、

(e) 前記厚膜形成領域および薄膜形成領域にゲート電極を形成する工程。

【請求項 15】 請求項 13 記載の半導体装置の製造方法において、前記相対的に厚い絶縁膜のパターニング工程においては、その厚い絶縁膜が厚膜形成領域に隣接する分離領域にも残されるように形成することを特徴とする半導体装置の製造方法。

【請求項 16】 請求項 15 記載の半導体装置の製造方法において、前記分離領域に溝型の分離部を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 17】 以下の工程を有することを特徴とする半導体装置の製造方法：

(a) 半導体基板上に、酸化シリコン膜からなる相対的に厚い絶縁膜を化学気相成長法により堆積する工程、

(b) 前記相対的に厚い絶縁膜に対して、酸素原子を含む雰囲気中においてプラズマ処理を施す工程、

(c) 前記相対的に厚い絶縁膜が前記半導体基板上の少なくとも厚膜形成領域に残されるように前記相対的に厚い絶縁膜をパターニングする工程、

(d) 前記半導体基板上に、酸化シリコン膜、窒化シリコン膜または酸窒化シリコン膜の単体膜からなる絶縁膜、もしくはこれらの単体膜のうちの選択された 2 以上の膜の積層膜からなる絶縁膜からなる相対的に薄い絶縁膜を化学気相成長法により堆積する工程、

(e) 前記相対的に薄い絶縁膜に対して、酸素原子を含む雰囲気中においてプラズマ処理を施す工程、

(f) 前記厚膜形成領域および薄膜形成領域にゲート電極を形成する工程。

【請求項 18】 請求項 17 記載の半導体装置の製造方法において、前記相対的に薄い絶縁膜は、半導体基板の分離領域をも覆うように形成することを特徴とする半導体装置の製造方法。

【請求項 19】 請求項 18 記載の半導体装置の製造方法において、前記分離領域に溝型の分離部を形成する工程を有することを特徴とする半導体装置の製

造方法。

【請求項 2 0】 以下の工程を有することを特徴とする半導体装置の製造方法：

(a) 半導体基板上に、酸化シリコン膜からなる相対的に厚い絶縁膜を化学気相成長法により堆積する工程、

(b) 前記相対的に厚い絶縁膜に対して、酸素原子を含む雰囲気中においてプラズマ処理を施す工程、

(c) 前記 (a) および (b) 工程後の半導体基板上に、化学気相成長法により酸化シリコン膜からなる犠牲絶縁膜を堆積する工程、

(d) 前記相対的に厚い絶縁膜および犠牲絶縁膜が前記半導体基板上の少なくとも厚膜形成領域に残されるように前記相対的に厚い絶縁膜をパターンニングする工程、

(e) 前記 (d) 工程時にエッチングマスクとして用いたレジスト膜を除去する際に、前記犠牲絶縁膜を選択的に除去する工程、

(f) 前記半導体基板上の薄膜形成領域に相対的に薄い絶縁膜を形成する工程、

(g) 前記厚膜形成領域および薄膜形成領域にゲート電極を形成する工程。

【請求項 2 1】 以下の工程を有することを特徴とする半導体装置の製造方法：

(a) 半導体基板上に、酸化シリコン膜からなる相対的に厚い絶縁膜を化学気相成長法により堆積する工程、

(b) 前記相対的に厚い絶縁膜が前記半導体基板上の少なくとも厚膜形成領域に残されるように前記相対的に厚い絶縁膜をパターンニングする工程、

(c) 前記半導体基板および前記相対的に厚い絶縁膜に対して、酸素原子を含む雰囲気中においてプラズマ処理を施すことにより、前記半導体基板の薄膜形成領域に酸化シリコン膜からなる相対的に薄い絶縁膜を形成する工程、

(d) 前記厚膜形成領域および薄膜形成領域にゲート電極を形成する工程。

【請求項 2 2】 以下の工程を有することを特徴とする半導体装置の製造方法：

(a) 半導体基板上に、酸化シリコン膜からなる絶縁膜を化学気相成長法により

堆積する工程と、その堆積された絶縁膜に対して、酸素原子を含む雰囲気中においてプラズマ処理を施す工程とを2回以上繰り返すことにより積層膜を形成する工程、

(b) 前記積層膜で形成される相対的に厚い絶縁膜が前記半導体基板上の少なくとも厚膜形成領域に残されるように前記積層膜をパターンニングする工程、

(c) 前記半導体基板上の薄膜形成領域に相対的に薄い絶縁膜を形成する工程、

(d) 前記厚膜形成領域および薄膜形成領域にゲート電極を形成する工程。

【請求項23】 不揮発性メモリセルを構成する第1ゲート電極と第2ゲート電極との間に第1酸化シリコン膜と、窒化シリコン膜と、第2酸化シリコン膜とを順に形成する際に、前記第1酸化シリコン膜と第2酸化シリコン膜の少なくとも一方を化学気相成長法により堆積する工程を有し、

前記第1もしくは第2酸化シリコン膜の堆積処理後、酸素原子を含む雰囲気中においてプラズマ処理を施すことを特徴とする半導体装置の製造方法。

【請求項24】 不揮発性メモリセルを構成するゲート電極と半導体基板との間に、第1酸化シリコン膜と、窒化シリコン膜と、第2酸化シリコン膜とを順に形成する際に、前記第1酸化シリコン膜と第2酸化シリコン膜の少なくとも一方を化学気相成長法により堆積する工程を有し、

前記第1もしくは第2酸化シリコン膜の堆積処理後、前記第1もしくは第2酸化シリコン膜に対して、酸素原子を含む雰囲気中においてプラズマ処理を施すことを特徴とする半導体装置の製造方法。

【請求項25】 請求項24記載の半導体装置の製造方法において、前記窒化シリコン膜は離散的電荷トラップ手段であることを特徴とする半導体装置の製造方法。

【請求項26】 以下の工程を有することを特徴とする半導体装置の製造方法:

(a) 半導体基板に素子を形成する工程、

(b) 前記半導体基板上に、酸化シリコン膜からなる層間絶縁膜を化学気相成長法により堆積する工程、

(c) 前記層間絶縁膜に対して、酸素原子を含む雰囲気中においてプラズマ処理

を施す工程、

(d) 前記層間絶縁膜上に配線を形成する工程。

【請求項 27】 以下の工程を有することを特徴とする半導体装置の製造方法：

(a) 半導体基板上に、酸化シリコン膜、窒化シリコン膜または酸窒化シリコン膜の単体膜からなる絶縁膜、もしくはこれらの単体膜のうちの選択された 2 以上の膜の積層膜からなる絶縁膜を化学気相成長法により堆積する工程、

(b) 前記絶縁膜に対して、酸素原子を含む雰囲気中において、圧力が 1 ～ 200 Pa の条件下でプラズマ処理を施す工程。

【請求項 28】 請求項 27 記載の半導体装置の製造方法において、前記プラズマ処理により半導体基板上に形成される酸化シリコン膜の厚さは、前記化学気相成長法で形成される絶縁膜の厚さの 60 % を下限とし、前記絶縁膜の厚さの 140 % を上限とする範囲内にあることを特徴とする半導体装置の製造方法。

【請求項 29】 請求項 27 記載の半導体装置の製造方法において、前記化学気相成長法で形成される絶縁膜を原子層成長法により形成することを特徴とする半導体装置の製造方法。

【請求項 30】 半導体基板上に、酸化シリコン膜、窒化シリコン膜または酸窒化シリコン膜の単体膜からなる絶縁膜、もしくはこれらの単体膜のうちの選択された 2 以上の膜の積層膜からなる絶縁膜を化学気相成長法により堆積する工程と、前記絶縁膜に対して、酸素原子を含む雰囲気中において、圧力が 1 ～ 200 Pa の条件下でプラズマ処理を施す工程とを 2 回以上繰り返す工程を有することを特徴とする半導体装置の製造方法。

【請求項 31】 請求項 27 または 30 記載の半導体装置の製造方法において、前記半導体基板に厚さの異なるゲート絶縁膜を有する電界効果トランジスタを形成する工程を有し、前記絶縁膜は、相対的に厚いゲート絶縁膜を形成する膜であることを特徴とする半導体装置の製造方法。

【請求項 32】 以下の工程を有することを特徴とする半導体装置の製造方法：

(a) 半導体基板上に、酸化シリコン膜からなる相対的に厚い絶縁膜を化学気相

成長法により堆積する工程、

(b) 前記相対的に厚い絶縁膜に対して、酸素原子を含む雰囲気中において、圧力が1～200Paの条件下でプラズマ処理を施す工程、

(c) 前記相対的に厚い絶縁膜が前記半導体基板上の少なくとも厚膜形成領域に残されるように前記相対的に厚い絶縁膜をパターンニングする工程。

【請求項33】 請求項32記載の半導体装置の製造方法において、

(d) 前記(c)工程後、前記半導体基板に対して少なくとも熱酸化処理を施すことにより、前記半導体基板の薄膜形成領域に相対的に薄い絶縁膜を形成する工程、

(e) 前記厚膜形成領域および薄膜形成領域にゲート電極を形成する工程。

【請求項34】 以下の工程を有することを特徴とする半導体装置の製造方法：

(a) 半導体基板上に、酸化シリコン膜からなる相対的に厚い絶縁膜を化学気相成長法により堆積する工程、

(b) 前記相対的に厚い絶縁膜に対して、酸素原子を含む雰囲気中において、圧力が1～200Paの条件下でプラズマ処理を施す工程、

(c) 前記相対的に厚い絶縁膜が前記半導体基板上の少なくとも厚膜形成領域に残されるように前記相対的に厚い絶縁膜をパターンニングする工程、

(d) 前記半導体基板上に、酸化シリコン膜、窒化シリコン膜または酸窒化シリコン膜の単体膜からなる絶縁膜、もしくはこれらの単体膜のうちの選択された2以上の膜の積層膜からなる絶縁膜からなる相対的に薄い絶縁膜を化学気相成長法により堆積する工程、

(e) 前記相対的に薄い絶縁膜に対して、酸素原子を含む雰囲気中において、圧力が1～200Paの条件下でプラズマ処理を施す工程、

(f) 前記厚膜形成領域および薄膜形成領域にゲート電極を形成する工程。

【請求項35】 請求項34記載の半導体装置の製造方法において、前記相対的に薄い絶縁膜は、前記半導体基板の分離領域をも覆うように形成することを特徴とする半導体装置の製造方法。

【請求項36】 以下の工程を有することを特徴とする半導体装置の製造方

法：

(a) 半導体基板上に、酸化シリコン膜からなる相対的に厚い絶縁膜を化学気相成長法により堆積する工程、

(b) 前記相対的に厚い絶縁膜に対して、酸素原子を含む雰囲気中において、圧力が1～200Paの条件下でプラズマ処理を施す工程、

(c) 前記(a)および(b)工程後の半導体基板上に、化学気相成長法により酸化シリコン膜からなる犠牲絶縁膜を堆積する工程、

(d) 前記相対的に厚い絶縁膜および犠牲絶縁膜が前記半導体基板上の少なくとも厚膜形成領域に残されるように前記相対的に厚い絶縁膜をパターンニングする工程、

(e) 前記(d)工程時にエッチングマスクとして用いたレジスト膜を除去する際に、前記犠牲絶縁膜を選択的に除去する工程、

(f) 前記半導体基板上の薄膜形成領域に相対的に薄い絶縁膜を形成する工程、

(g) 前記厚膜形成領域および薄膜形成領域にゲート電極を形成する工程。

【請求項37】 以下の工程を有することを特徴とする半導体装置の製造方法：

(a) 半導体基板上に、酸化シリコン膜からなる相対的に厚い絶縁膜を化学気相成長法により堆積する工程、

(b) 前記相対的に厚い絶縁膜が前記半導体基板上の少なくとも厚膜形成領域に残されるように前記相対的に厚い絶縁膜をパターンニングする工程、

(c) 前記半導体基板および前記相対的に厚い絶縁膜に対して、酸素原子を含む雰囲気中において、圧力が1～200Paの条件下でプラズマ処理を施すことにより、前記半導体基板の薄膜形成領域に酸化シリコン膜からなる相対的に薄い絶縁膜を形成する工程、

(d) 前記厚膜形成領域および薄膜形成領域にゲート電極を形成する工程。

【請求項38】 以下の工程を有することを特徴とする半導体装置の製造方法：

(a) 半導体基板上に、酸化シリコン膜からなる絶縁膜を化学気相成長法により堆積する工程と、その堆積された絶縁膜に対して、酸素原子を含む雰囲気中にお

いて、圧力が1～200Paの条件下でプラズマ処理を施す工程とを2回以上繰り返すことにより積層膜を形成する工程、

(b) 前記積層膜で形成される相対的に厚い絶縁膜が前記半導体基板上の少なくとも厚膜形成領域に残されるように前記積層膜をパターンニングする工程、

(c) 前記半導体基板上の薄膜形成領域に相対的に薄い絶縁膜を形成する工程、

(d) 前記厚膜形成領域および薄膜形成領域にゲート電極を形成する工程。

【請求項39】 不揮発性メモリセルを構成する第1ゲート電極と第2ゲート電極との間の絶縁膜を形成する際に、第1酸化シリコン膜と、窒化シリコン膜と、第2酸化シリコン膜とを順に形成する際に、前記第1酸化シリコン膜と第2酸化シリコン膜の少なくとも一方を化学気相成長法により堆積する工程を有し、

前記第1もしくは第2酸化シリコン膜の堆積処理後、前記第1もしくは第2酸化シリコン膜に対して、酸素原子を含む雰囲気中において、圧力が1～200Paの条件下でプラズマ処理を施すことを特徴とする半導体装置の製造方法。

【請求項40】 不揮発性メモリセルを構成するゲート電極と半導体基板との間に、第1酸化シリコン膜と、窒化シリコン膜と、第2酸化シリコン膜とを順に形成する際に、前記第1酸化シリコン膜もしくは第2酸化シリコン膜の少なくとも一方を化学気相成長法により堆積する工程を有し、

前記第1もしくは第2酸化シリコン膜の堆積処理後、前記第1もしくは第2酸化シリコン膜に対して、酸素原子を含む雰囲気中において、圧力が1～200Paの条件下でプラズマ処理を施すことを特徴とする半導体装置の製造方法。

【請求項41】 請求項40記載の半導体装置の製造方法において、前記窒化シリコン膜は離散的電荷トラップ手段であることを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体装置の製造技術に関し、特に、半導体装置を構成する絶縁膜の形成方法に適用して有効な技術に関するものである。

##### 【0002】

**【従来の技術】**

半導体装置には、同一の半導体基板に厚さの異なる 2 種以上のゲート絶縁膜を有する M I S ・ F E T (Metal Insulator Semiconductor Field Effect Transistor) を持つものがある。一般に相対的に高い電圧が印加される高耐圧 M I S ・ F E T には、相対的に厚いゲート絶縁膜を有する M I S ・ F E T を用いている。例えばフラッシュメモリ等のような不揮発性メモリでは、情報の書き込み、消去動作の際に、絶縁された電極（浮遊電極）に電荷を蓄積することにより情報を記憶するので、その電荷を浮遊電極に注入するのに、例えば 2 0 ～ 2 6 V 程度の高電圧が必要である。このため、その高電圧が印加される M I S ・ F E T を中心にゲート絶縁膜には、上記高電圧の印加に耐えるべく、例えば 2 0 ～ 3 0 n m 程度の厚さが必要とされる。

**【0 0 0 3】**

なお、ゲート絶縁膜を化学気相成長 (Chemical Vapor Deposition : C V D) 法で形成する技術については、例えば本出願人により出願された特開平 1 1 - 1 7 7 0 4 7 号公報に記載されている（例えば、特許文献 1 参照）。また、発明者が検討した技術には、C V D 法により形成した絶縁膜を 4 0 0 ℃で原子状酸素 (O \*) に曝すことにより、その絶縁膜のフッ酸溶液中でのエッチングレートを熱酸化膜並みのエッチングレートにできることが開示されている（例えば、非特許文献 1 参照）。

**【0 0 0 4】****【特許文献 1】**

特開平 1 1 - 1 7 7 0 4 7 号公報

**【0 0 0 5】****【非特許文献 1】**

U C S クロージング記念シンポジウム、「半導体が拓く新世紀に向けて」、2 0 0 0 年 9 月 2 4 日（日）～ 2 5（月）、ホテルイースト 2 1 東京に於いて、U C S 半導体基盤技術研究会主催、p. 3 8 - 5 1（特に p. 4 9 の図 7 4 参照）。

**【0 0 0 6】**

**【発明が解決しようとする課題】**

ところで、不揮発性メモリにおいては使用電圧が高いためにMIS・FETのゲート絶縁膜が厚く、同膜を熱酸化により形成する際に素子分離部の側壁が酸化され体積膨張するために大きな応力が生じる結果、半導体基板に欠陥が生じ接合のリーク電流が増加することにより書き込み電圧が低下して書き込み時間が長くなる等、素子特性が損なわれるという問題がある。

**【0007】**

他方で、浮遊電極の上等、半導体基板以外の部位において熱酸化膜と同等の膜質を有する酸化シリコン膜が必要とされているが、下地が半導体基板ではないので熱酸化法により高品質の酸化シリコン膜を形成することが困難である。

**【0008】**

これら問題を解決すべく酸化シリコン膜をCVD法で形成した場合には、そのままでは十分な膜質が得られないので膜形成後の熱処理により膜質の改善を図ることになるが、その効果は十分でなく熱酸化膜に近い膜質を得ることは困難であるという問題がある。

**【0009】**

本発明の目的は、半導体装置の製造工程において、熱酸化膜と比べて遜色のない膜質のシリコン酸化膜を熱酸化によらず形成することのできる技術を提供することにある。

**【0010】**

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

**【0011】****【課題を解決するための手段】**

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

**【0012】**

すなわち、本発明は、半導体基板上にCVD法により形成した酸化膜に対して、酸素原子を含む低圧下の雰囲気中においてプラズマ処理を施すものである。

## 【0013】

また、プラズマ中のイオンを含む状況下でプラズマ処理を施すものである。

## 【0014】

また、低圧下の雰囲気中においてプラズマ処理を施すものである。

## 【0015】

## 【発明の実施の形態】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。また、一般にプラズマは特定のガス（処理ガス）に置換した反応室内に必要な応じて処理ガスを補充しつつ、高周波電界等の作用によりガスを電離させて生成するが、現実には完全に処理ガスで置換することはできない。よって、本願では、例えば酸素プラズマと称しても、完全な酸素プラズマを意図するものではなく、そのプラズマ内に含まれる不純物ガス（窒素、二酸化炭素、水蒸気等）の存在を排除するものではない。同様に、言うまでもないことであるが、プラズマ中に他の希釈ガスや添加ガスを含むことを排除するものではない。また、「酸化シリコン膜からなる」、または「酸化シリコン膜を主材料とする」あるいは「酸化シリコン系の」と表現した場合、主成分として酸化シリコン膜が用いられていることを意図する。すなわち、一般に酸化シリコン膜を成膜する処理であっても、不純物が

含まれることは当然であり、添加物や不純物も酸化シリコン膜からなる部材に含まれることを排除するものではない。また、上記の表現には、酸化シリコン膜からなる部材の表面に他の材料からなる絶縁膜が形成された積層構造も含むものである。これは酸化シリコン膜に限らず、その他の絶縁膜、例えば窒化シリコン等でも同様である。以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。また、本実施の形態においては、電界効果トランジスタであるMIS・FET(MOS・FET: Metal Oxide Semiconductor Field Effect TransistorをMIS・FETの下位概念として含む)をMISと略し、pチャネル型のMIS・FETをpMISと略し、nチャネル型のMIS・FETをnMISと略す。

#### 【0016】

##### (実施の形態1)

本発明者は、CVD(Chemical Vapor Deposition)法により堆積した酸化シリコン膜( $\text{SiO}_2$ 等)に対して、酸素( $\text{O}_2$ )を主要ガスとして含む雰囲気中でプラズマ処理(酸素プラズマ処理)を施す場合、プラズマ中のイオン、特に酸素イオン( $\text{O}^+$ もしくは $\text{O}_2^+$ )の作用が、上記酸化シリコン膜の膜質を改善させる上で重要であることを初めて見出した。これは、プラズマ中のイオンが、上記酸化シリコン膜に衝突した時の物理的(機械的)な衝撃により、酸化シリコン膜の構成原子に再配置が生じ、酸化シリコン膜の膜質が改善するものと想定される。以下、本発明者が本実施の形態の有効性を検証するために行った実験結果を図1～図10により説明する。なお、以下、プラズマによるラディカルな酸素を酸素ラディカル( $\text{O}^*$ )と略す。

#### 【0017】

図1および図2においては、まず、素子分離領域が形成されたp型のシリコン( $\text{Si}$ )基板上に、減圧CVD(Low Pressure CVD: 以下、LPCVDと略す)法により二酸化シリコン換算膜厚で厚さ4nm程度となるように形成した酸化シリコン( $\text{SiO}_2$ 等)膜に対して、例えば圧力67Paの酸素プラズマ処理を施した膜をゲート絶縁膜とするn型ゲートMOSキャパシタを作成し実験試料とし

た。これら試料においては上記酸素プラズマ処理の処理時間が種々異なっており、LPCVD法により堆積された酸化シリコン膜（以下、LPCVD酸化シリコン膜ともいう）の形成されていないシリコン基板には上記酸素プラズマ処理により二酸化シリコン換算膜厚で3～5 nm程度の厚さの酸化シリコン膜が成長した。続いて、上記n型ゲートMOSキャパシタを、例えば125℃に保持し、そのゲート絶縁膜中の電界強度が $-10\text{ MV/cm}$ となるようにゲート電極に一定の負電圧を所定の時間付加した後に容量電圧特性を測定する操作を繰り返すことにより、フラットバンド電圧（VFB）の経時変化を調べた。この実験において上記酸化シリコン膜の成膜方法として選択した減圧CVD法は、成膜時の圧力を大気圧（常圧）よりも低い状態で行うCVD法であり、比較的良好な膜質の酸化シリコン膜を形成可能であることが知られている。

#### 【0018】

図1は、上記フラットバンド電圧の初期値（電圧ストレスを付加する前の値）からの変化量を、電圧ストレスを付加した累積時間の関数として示したものである。上記酸素プラズマ処理を施していないLPCVD酸化シリコン膜においては、電圧ストレスの累積時間が1秒となる以前に破壊している（図1の+印参照）。これに対して、酸素プラズマ処理を施したLPCVD酸化シリコン膜においては十分な破壊寿命を有していることが分かる。また、酸素プラズマ処理によりフラットバンド電圧の変動量が熱酸化膜（図1の黒丸印参照）と同等のレベルまで減少していることが分かる。また、シリコン基板の酸化量が二酸化シリコン換算膜厚で5 nm程度以上となる処理時間に対してはフラットバンド電圧の変動量（ $\Delta V_{FB}$ ）が増加し始めるので、酸素プラズマ処理はシリコン基板の酸化量がLPCVD酸化シリコン膜の厚さの30%増となる範囲内に止めておくのが望ましい。しかし、シリコン基板の酸化シリコン膜の厚さがLPCVD酸化シリコン膜の厚さの30%増以上である場合においてもフラットバンド電圧の変動量は実用上問題となるレベルではないので、そのような酸素プラズマ処理の有効性を否定するものではない。このように過剰な酸素プラズマ処理によりフラットバンド電圧の変動量が増加する現象は本発明者が初めて見出したものであるが、本発明者の検討によれば、その現象は、LPCVD酸化シリコン膜の下に存在するシリコ

ン基板の酸化が進行することにより、酸化シリコン膜とシリコン基板との界面の応力が増加する結果、キャリアトラップが増加することに起因すると想定される。

#### 【0019】

次に、図2は、図1の容量電圧特性に代えて電流電圧特性（ゲート絶縁膜のリーク電流）を測定した結果を示している。一般的に酸化シリコン膜においては電圧ストレスの付加により、低い（絶対値が小さい）ゲート電圧に対してもゲート絶縁膜のリーク電流が顕在するようになり、不揮発性メモリにおいて情報記憶を担う蓄積電荷が消失するという問題が生じる。図2には、例えば  $1 \mu\text{A}/\text{cm}^2$  のリーク電流をもたらすゲート電圧の下でゲート絶縁膜中に誘起される電界強度の初期値からの変動量を示してある。上記電界強度の変化量は、上記酸素プラズマ処理を施すことにより、熱酸化で形成した酸化シリコン膜と同等レベルにまで大きく減少する。電界強度の変動量に関しては、酸素プラズマ処理の処理時間が短い（図2においてはシリコン基板の酸化量が3 nm程度以下）場合には、電界強度の変動が完全に防止される訳ではないが、実用上問題とならないレベルにまで改善されている点に変わりはない（図2の白丸印参照）。したがって、図1および図2を総合すると、形成したLPCVD酸化シリコン膜の厚さとほぼ同程度の厚さの酸化シリコン膜がシリコン基板上に形成されるように酸素プラズマ処理の処理時間を設定するのが効果的であり、酸素プラズマ処理によりシリコン基板上に形成される酸化シリコン膜の厚さがLPCVD酸化シリコン膜の厚さの30%減～30%増の範囲内にあるように処理時間を調整すると、より一層効果的であることが多いことが本発明者の検討結果により初めて見出された。

#### 【0020】

次に、図3および図4は、上記酸素プラズマ処理時の圧力を上記67 Paに代えて267 Paで行ったものを試料として上記図1および図2で説明したのと同様の測定を行った結果をそれぞれ示したものである。これらの図から分かるように、酸素プラズマ処理圧力が高い場合には、酸素プラズマ処理により低圧力の場合と同程度にまでシリコン基板が酸化されているにもかかわらず短時間で絶縁破壊が生じており、LPCVD酸化シリコン膜の改質が充分になされていないこと

が本発明者によって初めて見出された。本発明者は、このような差が生じる原因を以下のように考えている。すなわち、プラズマの圧力が低い場合には、プラズマ中のイオンのラディカルに対する比が、高圧力下の場合と比較して増大するが、この酸素プラズマ中のイオン（主として酸素イオン（ $O^+$ もしくは $O_2^+$ ）であるが、酸素以外のガスを添加した場合は、その添加ガスによるイオンも含む）が加速されてLPCVD酸化シリコン膜に衝突し、その物理的（機械的）な衝撃により、LPCVD酸化シリコン膜の一部が破壊され、LPCVD酸化膜の構成原子に再配置が生じ、より安定な結合を形成する結果、LPCVD酸化シリコン膜に、より強固な構造が形成されるものと考えている。これに対して、プラズマの圧力が高い場合には、プラズマ中のイオンのラディカルに対する比が、低圧力の場合と比較して低下するために、上記再配置が充分に行われないうえに充分な改質効果が得られないものと想定される。すなわち、酸素ラディカル（ $O^*$ もしくは $O_2^*$ ）もLPCVD酸化シリコン膜の改質に寄与していると想定できるが、酸素ラディカルでは、充分な膜質（ゲート絶縁耐圧）の改善にはならないことを本発明者が初めて見出した。前記非特許文献1では、「CVD酸化膜を酸素ラディカル（ $O^*$ もしくは $O_2^*$ ）に曝す処理により、その酸化膜のフッ酸溶液中でのエッチング速度を減少できる」旨の記載があるが、上記酸素ラディカル処理では、酸化シリコン膜の膜質（ゲート絶縁耐圧）を改善させることは困難であると思料できる。このように、本発明者は、酸化膜の膜質改善にはプラズマ中のイオンの働きが重要であり、単純に酸素プラズマ処理を施しても充分な膜質改善の効果を得ることは難しいことを初めて見出した。

#### 【0021】

図5および図6は、それぞれ図1および図2の酸素プラズマ処理において処理圧力を変えて作成した試料を用いて同様な測定を行った結果を示したものである。ここでは、処理圧力が異なってもシリコン基板上に形成される酸化シリコン膜の厚さが二酸化シリコン換算膜厚で4 nm程度となるように処理時間を調整してある。これらの図から、酸素プラズマ処理の処理圧力を200 Pa以下とすれば良好な改質効果が得られる。また、処理圧力を1 Pa以下とするとプラズマが不安定になったり、処理室内の残留気体の影響を受けやすくなったりするので、酸

素プラズマ処理の効果や再現性に問題が生じる可能性が高くなり好ましくない。本発明者の検討によれば、プラズマ処理に最適な圧力は、プラズマ処理装置や他の条件等により変動するので限定するのは難しいが、作用的にはプラズマ中のイオンによる膜質改善が行われる範囲であり、本発明者が行った実験では、1 Pa 以上で、200 Pa 以下の範囲、好ましくは、67 Pa 以上、133 Pa 以下の範囲を例示できる。

#### 【0022】

次に、厚い LPCVD 酸化シリコン膜に対するプラズマ処理時間依存性について説明する。図7および図8は、LPCVD法により形成した厚さ17 nm（二酸化シリコン換算膜厚）程度の酸化シリコン膜に対してプラズマ処理を施したのに対して、上記酸化シリコン膜中の電界が $-8.7 \text{ MV/cm}$ となるようにストレス電圧を印加した際の、フラットバンド電圧の変動量と、リーク電流が一定となる電界強度の変動量とをそれぞれ示している。プラズマ処理の圧力は、例えば67 Pa 程度である。また、図8は、リーク電流が $0.1 \mu\text{A/cm}^2$ となる電界強度について調べた結果を示している。これらの図においては、プラズマ処理する際の雰囲気気酸素の場合と水蒸気を含む酸素の場合との結果を比較して示している。いずれの雰囲気気の場合においても処理量の増加とともに電圧ストレスによる特性の変動が減少している。図7および図8においては、プラズマ処理によるシリコン基板上の酸化量がいずれもCVD法により形成した直後の酸化シリコン膜よりも薄く、このような処理範囲において処理量とともに改善効果が増加する点は、上記図1および図2の場合と同様である。図8に示した電界強度変化は負であるので、電圧ストレスにより、リーク電流が流れ難くなっている。リーク電流を減らすという観点からは変動の大きい方が望ましいように思われるが、不揮発性メモリのトンネル酸化膜等に用いた場合には書き込みおよび消去の速度の低下をもたらすので問題である。

#### 【0023】

次に酸素プラズマ処理時の雰囲気気との関係について説明する。雰囲気気については、特に上記図7に示すフラットバンド電圧の変動に関して、酸素雰囲気よりも水分を含む酸素雰囲気の方がより一層良好な結果を得ることができる。

## 【0024】

次にCVD酸化シリコン膜の膜質との関係について説明する。図9および図10は、CVD酸化シリコン膜の形成を低温で行った場合と高温で行った場合との結果を比較して示している。低温での膜形成では、例えば反応気体にテトラエチルオルソシリケート (Tetra Ethyl Ortho Silicate: TEOS、 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ) を用い680℃で行った。高温での膜形成では、例えばモノシラン ( $\text{SiH}_4$ ) と $\text{N}_2\text{O}$ とを含有する混合気体を用いて800℃で行った。なお、図1～図8においては、全て高温形成の酸化シリコン膜を用いている。

## 【0025】

図9および図10においては、CVD法で形成した酸化シリコン膜の厚さが低温形成で5nm程度、高温形成で4nm程度と異なっているが、酸素プラズマ処理によりシリコン基板上に形成される酸化シリコン膜の厚さをそれぞれの膜厚に揃えてある。CVD法による膜形成を低温で行った場合には、電圧ストレスによるフラットバンド電圧に関してあまり改善されておらず(図9の四角印参照)、本実施の形態の目的を達成するためには高温形成の酸化シリコン膜を用いることが望ましいことが分かる(図9の三角印参照)。

## 【0026】

また、酸化シリコン膜の成膜方法として、通常のLPCVD法に代えて原子層成長CVD (Atomic Layer Deposition: ALD) を用いた場合には、高温形成の場合に勝るとも劣らない結果が得られた。また、上記原子層成長CVD法を採用した場合は、用途によっては上記酸素プラズマ処理を施さずに使用することも可能である。

## 【0027】

また、図9および図10には、プラズマを用いずに通常の熱酸化処理を施した場合の結果も示しておいた。この熱酸化処理の場合も、シリコン基板上に形成される酸化シリコン膜の厚さがCVD法で形成した酸化シリコン膜の厚さと等しくなるように処理時間を調整してある。この場合の熱酸化処理の雰囲気は水分と酸素との混合気体である。これらの図から、熱酸化処理は、絶縁耐圧を向上させる効果はあるもののフラットバンド電圧の変動や所定のリーク電流に対応する電界

強度の変動を防止する効果に劣り、本実施の形態の酸素プラズマ処理が従来に無い効果を発揮していることが分かる。

#### 【0028】

次に、図11は、本実施の形態の酸素プラズマ処理で使用したプラズマ処理装置1の一例を示している。プラズマ処理装置1は、高周波電源1a、整合器1b、アンテナ1c、反応槽1d、処理台1e、反応気体導入口1fおよび排気口1gを有している。高周波電源1aは、例えば2.45GHzの高周波電力を発生させることが可能な構造とされている。高周波電源1aで生じた高周波電力は整合器1bを通じて、反応槽1dの外部に設置されたアンテナ1cに伝送される。アンテナ1cは、例えばRLSA (Radial Line Slot Antenna) 方式のアンテナを採用しており、反応槽1d内に対して円偏波マイクロ波を放射することが可能な構造とされている。このアンテナ1cから反応槽1d内に放射されたマイクロ波により、処理台1e上の半導体ウエハ2Wの主面とアンテナ1cとの間の反応槽1d内にプラズマPLが生成される構成とされている。プラズマ励起部とプロセス空間とが分離されるように、半導体ウエハ2Wがプラズマ励起部からの拡散プラズマ領域に配置されるようになっている。これにより、半導体ウエハ2Wの主面のパターンに依存しない面内均一性を有するプロセスとすることができる。本装置においては、半導体ウエハ2Wの主面に照射されるイオンのエネルギーが1eV程度以下とされるようになっている。このため、半導体ウエハ2Wの主面にダメージが生じないようにすることができる。処理台1eにはヒータが設けられ、プラズマ処理中の半導体ウエハ2Wの温度が、例えば400℃程度にされるようになっている。酸素(O<sub>2</sub>)を主要なガスとして含む処理ガスは、反応気体導入口1fを通じて反応槽1d内の半導体ウエハ2Wの主面上方に供給される。半導体ウエハ2Wの主面に対向するようにシャワープレートを設置し、そのシャワープレートを通じて半導体ウエハ2Wの主面に均一に処理ガスを供給するようにしても良い。使用済みの処理ガスは半導体ウエハ2Wの周辺の排気口1gを通じて均一に排気される構成とされている。

#### 【0029】

次に、本実施の形態の半導体装置の製造方法の一例を図12～図17により説

明する。図12～図17は、本実施の形態1の半導体装置の製造工程中における半導体ウエハ2Wの要部断面図である。なお、符号A1は薄膜形成領域、A2は厚膜形成領域、A3は分離領域をそれぞれ示している。

### 【0030】

まず、図12に示すように、平面略円形状の半導体ウエハ2Wを構成するp型のシリコン(Si)単結晶からなる半導体基板(以下、基板という)2Sの主面(デバイス形成面)の分離領域A3に、例えば浅溝型の素子分離部(Shallow Groove Isolation: SGIまたはShallow Trench Isolation: STI)3を形成する。続いて、基板2Sの主面の素子分離部3に囲まれた活性領域上に、例えば酸化シリコン膜からなる絶縁膜4を熱酸化法等によって形成する。この絶縁膜4は、後述のイオン打ち込み処理に際して半導体ウエハ2Wを保護する機能を有している。その後、絶縁膜4を介して基板2Sに、pウェルPWLおよびnウェルNWLを形成するためのイオン打ち込みをそれぞれ別々のフォトリソパターンをマスクにして行い、さらに、しきい値電圧を調節する作用のある半導体領域5a, 5bを形成するためのイオン打ち込みをそれぞれ別々のフォトリソパターンをマスクにして行う。

### 【0031】

次いで、絶縁膜4をフッ酸を含む溶液中にて除去した後、図13に示すように、半導体ウエハ2Wの主面上に、例えば酸化シリコン膜からなる絶縁膜6aを二酸化シリコン換算膜厚で20nm程度の厚さになるようにLPCVD法により堆積する。この絶縁膜6aは後にゲート絶縁膜となる絶縁膜である。この絶縁膜6aの堆積時の処理温度は、例えば800℃程度である。続いて、半導体ウエハ2Wを上記したプラズマ処理装置1に収容した後、半導体ウエハ2Wの主面上の絶縁膜6aに対して図13の矢印で模式的に示すように前記した酸素プラズマ処理を施す。酸素プラズマ処理時の半導体ウエハ2Wの温度は、例えば400℃程度の低温である。また、酸素プラズマ処理時の処理ガスは、例えば酸素(O<sub>2</sub>)等のような主要ガスと、アルゴン(Ar)等のような希釈ガスとの混合ガス(O<sub>2</sub>/Ar)を用いている。この時の酸素流量は、例えば10cc/min程度、アルゴン流量は、例えば1000～2000cc/min程度とされている。すな

わち、酸素流量<希釈ガス流量とされている。本発明者の実験によれば、あまり酸素流量が多い（例えば200cc/min程度）と、上記高圧力の場合と同様にゲート絶縁耐圧の不良発生率が増加することが初めて見出されている。ここで希釈ガスを添加したのは、励起（イオン化またはラディカル化）したい分子（ここでは酸素のことであり、対象分子という）よりも励起され易い分子（ここではアルゴンのことであり、添加分子という）を処理ガス中に添加することにより、反応分子の励起種（イオンやラディカル）の密度を変化させ、その添加分子のエネルギーをも用いて対象分子を間接的に励起させることで、対象分子の励起効率を高めることができ、処理効率を向上させることができるからである。また、添加分子自体による物理的衝撃（例えばスパッタリング）も、LPCVD酸化シリコン膜の膜質改善に寄与していると想定されるからである。ただし、処理ガスは、上記のものに限定されるものではなく種々変更可能である。例えばオゾン（ $O_3$ ）の単体ガス、酸素（ $O_2$ ）の単体ガス、水蒸気（ $H_2O$ ）、NOの単体ガスまたは $N_2O$ の単体ガスでも良い。また、処理ガスは、水素（ $H_2$ ）と酸素との混合ガス（プラズマ中で $H_2O$ を形成）、水蒸気（ $H_2O$ ）と酸素との混合ガス、NOガスと酸素との混合ガスまたは $N_2O$ と酸素との混合ガスでも良い。また、上記単体ガスまたは混合ガスを不活性ガス（ヘリウム（He）、アルゴン、クリプトン（Kr）またはキセノン（Xe））により希釈したガスでも良い。本発明者の検討によれば、LPCVD酸化シリコン膜の膜質改善という観点からすると処理ガス種としての有効性は以下のような順序と思料される。すなわち、 $(H_2/O_2/Ar) = (H_2/O_2/Kr) = (H_2/O_2/He) = (H_2O/O_2/Ar) = (H_2O/O_2/Kr) = (H_2O/O_2/He) = (H_2O/Ar) = (H_2O/Kr) = (H_2O/He) > (O_3/Ar) = (O_3/Kr) = (O_3/He) > (O_2/Ar) = (O_2/Kr) = (O_2/He) > O_3 > O_2 > NO > N_2O$ である。なお、現状のオゾン発生装置から発生するオゾンの濃度は10%程度であり、残りの90%は酸素なので、あえてオゾンと酸素との混合ガスを処理ガスとして例示していないが、オゾンと酸素との混合ガスを排除するものではない。また、酸素プラズマ処理時の処理室内の圧力は前記した通りである。

【0032】

このような酸素プラズマ処理を施すことにより、上記のようにプラズマ中のイオンおよびラディカルの働きにより、LPCVD法で形成された絶縁膜6aの膜質を熱酸化法で形成された酸化シリコン膜と同等の膜質に改善することができた。また、半導体ウエハ2Wの主面に対する酸素プラズマ中のイオンの照射エネルギーを比較的低くできる（数eV程度）ので、半導体ウエハ2Wの主面および絶縁膜6aに対して低ダメージで、絶縁膜6aの改善処理が可能である。

#### 【0033】

次いで、図14に示すように、薄膜形成領域A1に開口部を有し、厚膜形成領域A2およびその周辺の分離領域A3の少なくとも一部を覆うようなフォトリソパターン（以下、レジストパターンという）PR1を形成した後、そのレジストパターンPR1から露出する上記絶縁膜6aをフッ酸を含む溶液中にて除去する。レジストパターンPR1に被覆されていない分離領域3には絶縁膜6aが形成されているので、露出している素子分離部3の埋込み絶縁膜の上部が上記エッチング処理の際に除去され窪んでしまうのを低減または防止することができる。素子分離部3の上部が窪むと、素子分離部3の溝の上部側面の基板2Sが露出され、その露出部には続く熱酸化処理で厚さが8nm程度の薄い熱酸化膜が形成されるのみである。その上、素子分離部3の窪みにより露出された溝の上部側面の基板2Sには、しきい値電圧調整用の不純物は打ち込まれない。このため、その溝の上部側面にゲート電極が重なると、MISのしきい値電圧が低くなりオフ電流が増加する結果、MISのスウィッチング特性が劣化するという問題が生じる。これに対して、本実施の形態では、素子分離部3の上部が窪むのを低減または防止できるので、MISのスウィッチング特性を大きく改善することが可能となる。

#### 【0034】

続いて、レジストパターンPR1をアッシング法によって除去した後、洗浄処理を行う。ここで、絶縁膜6aは上記のようにLPCVD法で形成されているが、本実施の形態1では、絶縁膜6aに対して酸素プラズマ処理を施すことにより絶縁膜6aの膜質が熱酸化膜と同等程度までに改善されていることにより、上記レジストパターン除去後の洗浄処理の際に、後に厚膜形成領域のMISのゲート

絶縁膜となる絶縁膜 6 a がエッチングされたり、損傷を受けたりするのを低減または防止することができる。このように、素子分離部 3 に熱酸化膜と同等の膜質を有する絶縁膜 6 a が形成されていることは、素子分離部 3 の埋込み絶縁膜の落ち込み量を低減し、MIS のスイッチング特性の異常を防止する上で、重要な役割を果たしている。

#### 【0035】

次いで、例えば二酸化シリコン換算膜厚で 8 nm 程度の厚さの酸化シリコン膜が基板 2 S の露出面に形成されるように半導体ウエハ 2 W に対して熱酸化処理を施す。これにより、図 15 に示すように、薄膜形成領域 A 1 に、例えば二酸化シリコン換算膜厚で 8 nm 程度の厚さの酸化シリコン膜からなる絶縁膜 7 a を形成する。この時、同時に厚膜形成領域 A 2 において絶縁膜 6 a が接する基板 2 S の界面に、例えば二酸化シリコン換算膜厚で 5 nm 程度の厚さの酸化シリコン膜からなる絶縁膜 7 b を形成する。すなわち、上記熱酸化処理により、厚膜形成領域 A 2 の基板 2 S 上の絶縁膜 6 a、7 b の総厚は、例えば二酸化シリコン換算膜厚で 25 nm 程度となる。絶縁膜 7 a は、薄膜形成領域 A 1 の MIS のゲート絶縁膜であり、絶縁膜 6 a、7 b の積層膜は、厚膜形成領域 A 2 の MIS のゲート絶縁膜である。

#### 【0036】

続いて、図 16 に示すように、ゲート電極 8 a およびキャップ絶縁膜 9 を形成する。薄膜形成領域 A 1 および厚膜形成領域 A 2 のゲート電極 8 a は、同じ多結晶シリコン膜等をフォトリソグラフィ（以下、リソグラフィという）技術およびドライエッチング技術によりパターニングして形成されている。キャップ絶縁膜 9 は、例えば酸化シリコン膜からなり、ゲート電極 8 a のパターニングと同工程でパターニングされている。その後、相対的に低不純物濃度の半導体領域 10 a、11 a を形成するためのイオン打ち込みをそれぞれ別々のレジストパターンをマスクとして行う。半導体領域 10 a は、例えばリン（P）またはヒ素（As）が導入されて n 型に形成され、半導体領域 11 b は、例えばホウ素（B）または二フッ化ホウ素（BF<sub>2</sub>）が導入されて p 型に形成されている。その後、半導体ウエハ 2 W の主面上に、例えば酸化シリコン膜からなる絶縁膜を CVD 法等によ

って堆積した後、これを異方性エッチングによりエッチバックすることにより、ゲート電極 8 a およびキャップ絶縁膜 9 の側面にサイドウォール 12 を形成する。その後、相対的に高不純物濃度の半導体領域 10 b, 11 b を形成するためのイオン打ち込みをそれぞれ別々のレジストパターンをマスクとして行う。半導体領域 10 b は、例えばリンまたはヒ素が導入されて n<sup>+</sup>型に形成され、半導体領域 11 b は、例えばホウ素または二フッ化ホウ素が導入されて p<sup>+</sup>型に形成されている。このようにして LDD (Lightly Doped Drain) 構造を有するソースおよびドレイン用の半導体領域 10 a, 10 b, 11 a, 11 b を形成して薄膜形成領域 A1 に、例えば nMISQn を形成し、厚膜形成領域 A2 に、例えば pMISQp を形成する。nMISQn は、相対的に低い電源電圧で駆動し、相対的に速い動作速度が要求されるような MIS を例示し、pMISQp は、相対的に高い電源電圧で駆動し、高速動作が要求されないような MIS を例示している。ただし、これは例示であり、薄膜形成領域 A1 に pMIS が形成される場合もあるし、厚膜形成領域 A2 に nMIS が形成される場合もある。

#### 【0037】

次いで、図 17 に示すように、半導体ウエハ 2 W の主面上に、例えば酸化シリコン膜からなる絶縁膜 13 a を CVD 法または塗布法によって堆積した後、その絶縁膜 13 a に半導体領域 10 b, 11 b やゲート電極 8 a の一部が露出するようなコンタクトホール 14 を形成する。その後、半導体ウエハ 2 W の主面上に、例えば窒化チタン (TiN) 等からなる相対的に薄い導体膜を堆積した後、その上にタングステン等からなる相対的に厚い金属膜を堆積し、さらにこれらの積層膜がコンタクトホール 14 内のみに残されるようにその積層膜をエッチバック法または CMP (Chemical Mechanical Polishing) 法によって除去することでコンタクトホール 14 内にプラグ 15 a を形成する。その後、半導体ウエハ 2 W の主面上に、例えばアルミニウム (Al) またはアルミニウム合金からなる金属膜をスパッタリング法等によって堆積した後、これをリソグラフィ技術およびドライエッチング技術によりパターニングすることで配線 16 a を形成する。このようにして、同一の基板 2 S にゲート絶縁膜の厚さが異なる nMISQn および pMISQp を備えた半導体装置を完成させた。

## 【0038】

このように、本実施の形態1においては、LPCVD法による酸化シリコン膜につきもののゲート絶縁信頼性（ゲート絶縁耐性）の劣化は上記酸素プラズマ処理により問題とならないレベルにまで改善された。しかも、基板2Sをあまり酸化させることなく厚いゲート酸化膜を形成しているので、素子分離部3の溝側壁の酸化量を従来より大きく減少させることができ、結晶欠陥の数を問題とならない程度にまで減少させることができた。また、比較的低い温度条件（800℃以下）で厚膜形成領域A2のMISのゲート絶縁膜の成膜および改質が可能なので、既に基板2Sに導入されている不純物の再拡散を低減または防止でき、その不純物濃度プロファイルをより所望の状態にすることができる。また、半導体ウエハ2Wの主面に対する酸素プラズマ中のイオンの照射エネルギーを比較的低くできる（数eV程度）ので、半導体ウエハ2Wの主面および絶縁膜6aに対して低ダメージで、絶縁膜6aの改善処理が可能であった。さらに、素子分離部3の埋込み絶縁膜の厚さを、ほぼゲート酸化膜形成工程以前の値に維持することができたので、素子分離部3の埋込み絶縁膜の落ち込み量を従来よりも減少させることができ、その結果、MISのスウィッチング特性の異常も大きく改善することができた。したがって、半導体装置の信頼性や性能を向上させることができた。

## 【0039】

上記酸素プラズマ処理は軽度であると膜全体が改質されないので十分な絶縁信頼性が得られないのは言うまでもないが、過度に行なった場合にも絶縁信頼性の劣化を招く場合があることが本発明者の検討により初めて明らかとなった。このため、本実施の形態においては、基板2Sの主面上に何ら膜を形成せずに酸素プラズマ処理を行なった場合に基板2Sの主面上に形成される酸化シリコン膜の厚さ（二酸化シリコン換算膜厚）を、20nm程度の厚さ（二酸化シリコン換算膜厚）に堆積した酸化シリコン膜（絶縁膜6a）と同程度にすることが望ましい。

## 【0040】

## （実施の形態2）

本実施の形態2では、薄膜形成部のゲート絶縁膜もCVD酸化膜により形成する場合の一例を図18および図19により説明する。図18および図19は、本

実施の形態 2 の半導体装置の製造工程中における半導体ウエハ 2 W の要部断面図である。

#### 【0041】

まず、前記実施の形態 1 の図 12 に示した絶縁膜 4 を除去する工程までを経た後、図 18 に示すように、半導体ウエハ 2 W の主面上に、例えば酸化シリコン膜からなる絶縁膜 6 b を二酸化シリコン換算膜厚で 16 nm 程度の厚さとなるように L P C V D 法により堆積し、さらに、その絶縁膜 6 b に対して上記図 13 で説明したのと同様の酸素プラズマ処理を施す。これにより、L P C V D 法で形成された絶縁膜 6 b の膜質を、熱酸化法で形成された酸化シリコン膜と同等の膜質に改善することが可能である。

#### 【0042】

次いで、前記実施の形態 1 の絶縁膜 6 a と同様に、薄膜形成領域 A 1 に開口部を有し、厚膜形成領域 A 2 およびその周辺の分離領域 A 3 の少なくとも一部を覆うようなレジストパターンを形成した後、そのレジストパターンから露出する上記絶縁膜 6 b をフッ酸を含む溶液中にて除去する。この場合もレジストパターン P R 1 に被覆されていない分離領域 3 には絶縁膜 6 a が形成されており、露出している素子分離部 3 の埋込み絶縁膜の上部が上記エッチング処理の際に除去され窪んでしまうのを低減または防止することができるので、M I S のスイッチング特性を大きく改善することが可能となる。続いて、絶縁膜 6 b のパターニング時にマスクとして用いたレジストパターンをアッシング法等により除去した後、洗浄処理を行う。この場合も前記実施の形態 1 と同様に、絶縁膜 6 b が酸素プラズマ処理により熱酸化膜と同等程度に改質されているので、上記レジストパターン除去後の洗浄処理の際に、後に厚膜形成領域の M I S のゲート絶縁膜となる絶縁膜 6 b がエッチングされたり、損傷を受けたりするのを抑制または防止できる。その後、半導体ウエハ 2 W の主面上に、例えば酸化シリコン膜からなる絶縁膜 6 c を二酸化シリコン換算膜厚で 8 nm 程度の厚さになるように L P C V D 法等により堆積する。この場合、絶縁膜 6 c は素子分離部 3 上にも堆積されるので、上記の絶縁膜 6 b のパターニングやレジストパターンの洗浄処理により素子分離部 3 の上部が若干除去され窪んでしまってもその窪みが絶縁膜 6 c により埋め込ま

れるようにすることができる。このため、MISのスイッチング特性をさらに改善することが可能となる。その後、絶縁膜6cに対して図18の矢印で模式的に示すように上記図13で説明したのと同様の酸素プラズマ処理を施す。これにより、LPCVD法で形成された絶縁膜6cの膜質を、熱酸化法で形成された酸化シリコン膜と同等の膜質に改善することが可能である。また、比較的低い温度条件で絶縁膜6cの成膜および改質が可能なので、既に基板2Sに導入されている不純物の再拡散を低減または防止でき、その不純物濃度プロファイルをより所望の状態にすることができる。さらに、半導体ウエハ2Wの主面に対する酸素プラズマ中のイオンの照射エネルギーを比較的低くできる（数eV程度）ので、半導体ウエハ2Wの主面および絶縁膜6cに対して低ダメージで、絶縁膜6cの改善処理が可能である。これらにより、素子の信頼性や性能を向上させることができる。酸素プラズマ処理後の厚膜形成領域A2の絶縁膜の総厚は、二酸化シリコン換算膜厚で25nm程度となる。これ以降は、前記実施の形態1と同様にして、図19に示すように、同一の基板2Sにゲート絶縁膜の厚さが異なるnMISQnおよびpMISQpを備える半導体装置を完成させた。薄膜形成領域A1のnMISQnのゲート絶縁膜は、主としてLPCVD法で形成された絶縁膜6cで構成されており、そのゲート絶縁膜の厚さは、例えば二酸化シリコン換算膜厚で8～9nm程度である。また、厚膜形成領域A2のpMISQpのゲート絶縁膜は、主としてLPCVD法で形成された絶縁膜6b、6cの積層膜で構成されており、そのゲート絶縁膜の厚さは、例えば二酸化シリコン換算膜厚で25nm程度である。

### 【0043】

このように、本実施の形態2においても前記実施の形態1で得られた効果の他に、以下の効果が得られた。すなわち、素子分離部3の溝側壁がほとんど酸化されないで結晶欠陥を前記実施の形態1よりもさらに減少させることができた。また、素子分離部3の埋込み絶縁膜の厚さがゲート酸化膜形成工程以前の値よりも増加し、その埋込み絶縁膜の落ち込み量を前記実施の形態1より小さくすることができるので、MISのスイッチング特性もより正常に近いものとすることができた。

## 【0044】

## (実施の形態3)

本実施の形態3では、薄膜形成領域のゲート絶縁膜を上記酸素プラズマ処理により形成する場合の一例を図20～図22により説明する。図20～図22は、本実施の形態3の半導体装置の製造工程中における半導体ウエハ2Wの要部断面図である。

## 【0045】

まず、前記実施の形態1の図12に示した絶縁膜4を除去する工程までを経た後、図20に示すように、半導体ウエハ2Wの主面上に、例えば酸化シリコン膜からなる絶縁膜6dを二酸化シリコン換算膜厚で24nm程度の厚さとなるようにLPCVD法により堆積する。続いて、薄膜形成領域A1に開口部を有するレジストパターンを形成した後、これをエッチングマスクとしてフッ酸を含む溶液中にて上記絶縁膜6dを選択的に除去する。その後、レジストパターンを除去し洗浄を行った後、図20の矢印で模式的に示すように、上記酸素プラズマ処理を施す。これにより、図21に示すように、薄膜形成領域A1の露出した基板2Sの主面上に、例えば二酸化シリコン換算膜厚で8nm程度の厚さの酸化シリコン膜からなる絶縁膜17aを形成する。その際、厚膜形成領域A2のゲート絶縁膜となる絶縁膜6dは、その膜質を前記実施の形態1、2と同様に改善させることができる。しかも比較的低い温度条件で絶縁膜6dの成膜および改質が可能なので、既に基板2Sに導入されている不純物濃度プロファイルをより所望の状態にすることができる。また、半導体ウエハ2Wの主面に対する酸素プラズマ中のイオンの照射エネルギーを比較的低くできる（数eV程度）ので、半導体ウエハ2Wの主面および絶縁膜6dに対して低ダメージで、絶縁膜6dの改善処理が可能である。これらにより、素子の信頼性や性能を向上させることができる。上記酸素プラズマ処理により厚膜形成領域A2に形成されるゲート絶縁膜の厚さはほとんど増加せず最終的に、例えば二酸化シリコン換算膜厚で25nm程度となる。

## 【0046】

その後は、前記実施の形態1と同様にして、図22に示すように、同一の基板2Sにゲート絶縁膜の厚さが異なるnMISQnおよびpMISQpを備える半

導体装置を完成させた。薄膜形成領域A1のnMISQnのゲート絶縁膜は、主として酸素プラズマ処理で形成された絶縁膜17aで構成されており、そのゲート絶縁膜の厚さは、例えば二酸化シリコン換算膜厚で8nm程度である。また、厚膜形成領域A2のpMISQpのゲート絶縁膜は、主としてLPCVD法で形成された絶縁膜6dと酸素プラズマ処理で形成された絶縁膜の積層膜で構成されており、そのゲート絶縁膜の厚さは、例えば二酸化シリコン換算膜厚で25nm程度である。

#### 【0047】

本実施の形態3においては、前記実施の形態1と同様の効果を得ることができた。特に、本実施の形態3においては、前記実施の形態1、2とは異なり、LPCVD法により酸化シリコン膜を形成した後にプラズマ処理を施していないにもかかわらず、熱酸化膜にひけをとらない絶縁信頼性が得られた。これは、薄膜形成領域A1を形成するための酸素プラズマ処理が、前記実施の形態1、2でLPCVD酸化シリコン膜の形成直後に行った酸素プラズマ処理の役割を果たしているためである。しかしながら、厚膜形成領域A2の酸化シリコン膜（本実施の形態3の絶縁膜6d）を保護していたレジストパターンを除去する際には、下地の酸化シリコン膜を多少なりともエッチングしてしまう洗浄処理を行うことが多いので、そのエッチングによる下地の酸化シリコン膜の損傷を防ぐために、前記実施の形態1、2と同様に上記レジストパターンの形成の前に酸化シリコン膜（絶縁膜6d）に対して少なくとも軽度の酸素プラズマ処理を施し、その酸化シリコン膜（絶縁膜6d）の表面領域の膜質を改善しておいた方が本実施の形態の目的を達成する上で望ましい。

#### 【0048】

##### （実施の形態4）

本実施の形態4では、厚膜形成領域のゲート絶縁膜上に保護膜を形成する工程を有する半導体装置の製造方法の一例を図23～図26により説明する。図23～図26は、本実施の形態4の半導体装置の製造工程中における半導体ウエハ2Wの要部断面図である。

#### 【0049】

まず、図 23 に示すように、半導体ウエハ 2W の主面上に絶縁膜 6a を堆積し、その絶縁膜 6a に対して酸素プラズマ処理を施す工程（図 13 参照）までを前記実施の形態 1 と同様に経た後、絶縁膜 6a 上に、例えば酸化シリコン膜からなる絶縁膜 6e を、例えば二酸化シリコン換算膜厚で 13 nm 程度になるように LPCVD 法により形成する。続いて、図 24 に示すように、薄膜形成領域 A1 に開口部を有し、厚膜形成領域 A2 およびその周辺の分離領域 A3 の少なくとも一部を覆うようなレジストパターン PR1 を形成する。本実施の形態 4 では、レジストパターン PR1 の平面形状は、前記実施の形態 1 と同じであるが、ここでのレジストパターン PR1 は後のゲート絶縁膜 6a とは直接接しておらず、その上の絶縁膜 6e と直接接した状態で形成されている。このため、レジストパターン PR1 によるゲート絶縁膜（絶縁膜 6a）の汚染を抑制または防止できるので、厚膜形成領域 A2 の MIS の信頼性や性能を向上させることができる。その後、そのレジストパターン PR1 から露出する上記絶縁膜 6e、6a をフッ酸を含む溶液中にて除去する。この絶縁膜 6a、6e のパターニング処理の際も、前記実施の形態 1 と同様に、素子分離部 3 に絶縁膜 6a が形成されているので、露出している素子分離部 3 の埋込み絶縁膜の上部が上記エッチング処理の際に除去され窪んでしまうのを抑制または防止できるので、MIS のスイッチング特性を大きく改善することが可能となる。

#### 【0050】

続いて、レジストパターン PR1 をアッシング法等によって図 25 に示すように除去する。この際、本実施の形態 4 によれば、後にゲート絶縁膜となる絶縁膜 6a 上に絶縁膜 6e が形成されており、下層の絶縁膜 6a を保護することができるので、レジストパターン PR1 の除去時に絶縁膜 6a がエッチングされたり、損傷を受けたりするのを抑制または防止できる。したがって、厚膜形成領域 A2 の MIS の信頼性および性能を向上させることができる。その後、洗浄を兼ねて上記絶縁膜 6e をフッ酸を含む溶液中にて除去する。その際、絶縁膜 6e が残存しない範囲内で下層の絶縁膜 6a のエッチング量を最小限にとどめることが厚膜形成領域 A2 の絶縁信頼性を確保する上で重要である。絶縁膜 6a、6e は、共に LPCVD 法で形成された酸化シリコン膜ではあるが、絶縁膜 6a は酸素プラ

ズマ処理により膜質が熱酸化膜と同等程度に改善されているのに対して、絶縁膜 6 e は酸素プラズマ処理を施していないのでエッチングレートが相対的に速くなる。すなわち、絶縁膜 6 a, 6 e は、もともと同じ L P C V D 酸化シリコン膜ではあるが、エッチング選択比を高くとれる。このため、本実施の形態 4 では、絶縁膜 6 e のエッチングに際して、絶縁膜 6 a のエッチング量または損傷を最小限にとどめることができるようになっている。なお、絶縁膜 6 e の堆積を絶縁膜 6 a よりも低温で行うとエッチング選択比をさらに高くとることができるので、絶縁膜 6 a のエッチング量または損傷がさらに低減される。

#### 【0051】

その後、前記実施の形態 1 と同様に、例えば二酸化シリコン換算膜厚で 8 n m 程度の厚さの酸化シリコン膜が露出した基板 2 S の主面に形成されるように半導体ウエハ 2 W に対して熱酸化処理を施す。これにより、図 2 6 に示すように、薄膜形成領域 A 1 に、例えば二酸化シリコン換算膜厚で 8 n m 程度の厚さの酸化シリコン膜からなる絶縁膜 7 a を形成する。この時、同時に厚膜形成領域 A 2 において絶縁膜 6 a が接する基板 2 S の界面に、例えば二酸化シリコン換算膜厚で 5 n m 程度の厚さの酸化シリコン膜からなる絶縁膜 7 b を形成する。このようにして前記図 1 7 と同様の半導体装置を完成させた。

#### 【0052】

このような保護機能を有する絶縁膜 6 e の形成が本願の他の実施の形態においても同様の効果を有することは言うまでもない。ただし、前記実施の形態 3 において上記絶縁膜 6 e を形成する際には、上記絶縁膜 6 d を形成した後、その絶縁膜 6 d に対して上記酸素プラズマ酸化処理をしておくことが重要である。これにより、絶縁膜 6 e を除去する際の絶縁膜 6 d のエッチングによる目減りや損傷を最小限に留めることができる。

#### 【0053】

##### (実施の形態 5)

本実施の形態 5 では、厚膜形成領域のゲート絶縁膜を C V D 法で形成する際に、その絶縁膜の堆積処理を複数回に分けて行い、その堆積処理の度に上記酸素プラズマ処理を施す工程を有する場合の一例を図 2 7 ～図 3 1 により説明する。図

27～図31は、本実施の形態5の半導体装置の製造工程中における半導体ウエハ2Wの要部断面図である。

#### 【0054】

まず、前記実施の形態1の図12に示した絶縁膜4を除去する工程までを経た後、図27に示すように、半導体ウエハ2Wの主面上に、例えば酸化シリコン膜からなる絶縁膜6fを二酸化シリコン換算膜厚で10nm程度の厚さとなるようにLPCVD法により堆積する。続いて、絶縁膜6fに対して上記酸素プラズマ処理を施すことにより、前記実施の形態1～4と同様に、絶縁膜6fの膜質を熱酸化膜と同等程度に改質させる。その後、図28に示すように、再度、絶縁膜6f上に、例えば酸化シリコン膜からなる絶縁膜6gを二酸化シリコン換算膜厚で10nm程度の厚さとなるようにLPCVD法により堆積した後、絶縁膜6gに対して上記酸素プラズマ処理を施すことにより、前記実施の形態1～4と同様に、絶縁膜6gの膜質を熱酸化膜と同等程度に改質させる。このようにして厚膜形成領域A2にゲート絶縁膜形成用の所望の厚さの絶縁膜6f、6gの積層膜を形成する。

#### 【0055】

次いで、図29に示すように、前記実施の形態1と同様にレジストパターンPR1を絶縁膜6g上に形成した後、そのレジストパターンPR1から露出する上記絶縁膜6g、6fの積層膜をフッ酸を含む溶液中にて除去する。この際、前記実施の形態1と同様に、素子分離部3の埋込み絶縁膜の上部が窪むのを低減または防止できるので、MISのスイッチング特性を大きく改善することが可能となる。続いて、レジストパターンPR1をアッシング法によって除去した後、洗浄処理を行う。この際、前記実施の形態1と同様に、絶縁膜6f、6gの膜質が熱酸化膜と同等程度までに改善されていることにより、後に厚膜形成領域のMISのゲート絶縁膜となる絶縁膜6f、6gがエッチングされたり、損傷を受けたりするのを抑制または防止できる。また、前記本実施の形態1と同様に、素子分離部3の埋込み絶縁膜の上部が窪むのを低減または防止することができるので、MISのスイッチング特性を大きく改善することが可能となる。

#### 【0056】

次いで、前記実施の形態 1 と同様に、例えば二酸化シリコン換算膜厚で 8 nm 程度の厚さの酸化シリコン膜が基板 2 S の露出面に形成されるように半導体ウエハ 2 W に対して熱酸化処理を施すことにより、図 30 に示すように、薄膜形成領域 A 1 に、例えば二酸化シリコン換算膜厚で 8 nm 程度の厚さの酸化シリコン膜からなる絶縁膜 7 a を形成し、同時に厚膜形成領域 A 2 において絶縁膜 6 f が接する基板 2 S の界面に、例えば二酸化シリコン換算膜厚で 5 nm 程度の厚さの酸化シリコン膜からなる絶縁膜 7 b を形成する。すなわち、上記熱酸化処理により、厚膜形成領域 A 2 の基板 2 S 上の絶縁膜 6 f, 6 g, 7 b の総厚は、例えば二酸化シリコン換算膜厚で 25 nm 程度となる。絶縁膜 7 a は、薄膜形成領域 A 1 の M I S のゲート絶縁膜であり、絶縁膜 6 f, 6 g, 7 b の積層膜は、厚膜形成領域 A 2 の M I S のゲート絶縁膜である。以下、前記実施の形態 1 ～ 4 と同様に、図 31 に示すように、絶縁膜 7 a および絶縁膜 6 f, 6 g, 7 b 上にゲート電極 8 a を形成し、半導体装置を製造する。

#### 【0057】

前記実施の形態 1 においては、図 13 で示した酸素プラズマ処理の効果が L P C V D 酸化シリコン膜（絶縁膜 6 a）の下層部までに十分に及ばない場合もあり、絶縁信頼性（ゲート絶縁耐圧等）が向上したとはいえ、熱酸化膜と比較すると劣っている場合もある。これに対して、本実施の形態 5 においては、L P C V D 酸化シリコン膜の堆積を二回に分けて行い、その堆積工程の度毎に酸素プラズマ処理を行っているので膜のほぼ全体が改質されており熱酸化膜に近い絶縁信頼性（ゲート絶縁耐圧等）を得ることができた。また、酸素プラズマ処理の条件次第では、L P C V D 酸化シリコン膜の堆積を三回以上に分けて行くと、より一層絶縁信頼性（ゲート絶縁耐圧等）が向上する場合もある。

#### 【0058】

##### （実施の形態 6）

本実施の形態 6 では、不揮発性情報記憶装置として、例えば補助ゲート（Assist Gate：A G）を有する A N D 型フラッシュメモリの製造方法に本発明を適用した場合の一例を図 32 ～図 39 により説明する。図 32 ～図 39 は、本実施の形態 6 の A N D 型フラッシュメモリの製造工程中の半導体ウエハ 2 W の要部断面

図である。符号MCAはメモリセルアレイを示している。

#### 【0059】

まず、図32に示すように、半導体ウエハ2Wを構成するp型の基板2Sにおいて、メモリセルアレイMCAにn型の埋込領域DNWLを形成した後、半導体ウエハ2Wの主面の分離領域A3に溝型の素子分離部3を形成する。続いて、前記実施の形態1と同様に、基板2SにpウエルPWL1、PWL2およびnウエルNWL1、NWL2をそれぞれ別々のレジストパターンをマスクとしてイオン打ち込み法により形成する。続いて、前記実施の形態1と同様に、基板2Sに、しきい値電圧調整用の半導体領域5a、5b、5c、5d、5eをそれぞれ別々のレジストパターンをマスクとしてイオン打ち込み法により形成する。その後、基板2Sの主面の活性領域を露出させた後、半導体ウエハ2Wの主面上に、例えば酸化シリコン膜からなる絶縁膜6aを二酸化シリコン換算膜厚で20nm程度の厚さになるようにLPCVD法等によって堆積する。その後、図33に示すように、前記実施の形態1と同様に、絶縁膜6aに対して酸素プラズマ処理を施した。ここでは、図11に示したプラズマ処理装置1において処理室内を、例えば100Pa程度の圧力に保持された酸素含有雰囲気で満たし、その処理室内に、例えば2.45GHzの電磁波を導入することによりプラズマを発生させることにより行った。このような酸素プラズマ処理により絶縁膜6aの膜質を熱酸化膜と同等程度に改善させることができる。しかも、上記のように低エネルギーによる処理が可能なので酸素プラズマ処理により基板2Sや絶縁膜6aが損傷を受けることもない。

#### 【0060】

次いで、図34に示すように、半導体ウエハ2Wの主面上に、厚膜形成領域A2およびその周辺の実分離領域A3が覆われ、薄膜形成領域A1およびメモリセルアレイMCAが露出されるようなレジストパターンPR2をリソグラフィ技術により形成した後、これをエッチングマスクとしてそこから露出する絶縁膜6aを除去する。続いて、レジストパターンPR2をアッシング法により除去した後、半導体ウエハ2Wに対して洗浄処理を施す。この場合も前記実施の形態1と同様に絶縁膜6aの膜質が熱酸化膜と同等程度に改善されているので、アッシングや

洗浄で絶縁膜 6 a が大きな損傷を受けるのを抑制または防止できる。また、前記実施の形態 1 と同様に素子分離部 3 の埋込絶縁膜の上部が洗浄処理により窪んでしまうのを抑制または防止できる。その後、前記実施の形態 1 と同様に、例えば二酸化シリコン換算膜厚で 8 nm 程度の厚さの酸化シリコン膜が基板 2 S の露出面に形成されるように半導体ウエハ 2 W に対して熱酸化処理を施すことにより、図 3 5 に示すように、露出した基板 2 S の主面上に絶縁膜 7 a を形成する。この時、前記実施の形態 1 と同様に厚膜形成領域 A 2 の絶縁膜 6 a 下層の基板 2 S 上にも薄い絶縁膜が形成される。その後、図 3 6 に示すように、半導体ウエハ 2 W の主面上に、例えばリン (P) をドーピングしながら厚さ 100 nm 程度の多結晶シリコン膜からなる導体膜 8 を CVD 法により堆積した後、その上に、例えば二酸化シリコン換算膜厚で 200 nm 程度の厚さとなるように酸化シリコン膜からなるキャップ絶縁膜 9 を CVD 法により堆積する。その後、メモリセルアレイ MCA の導体膜 8 およびキャップ絶縁膜 9 をリソグラフィ技術およびドライエッチング技術によりパターニングすることにより、アシストゲート電極となるゲート電極 8 b を形成した後、例えばリンまたはヒ素を半導体ウエハ 2 W の主面に対して斜め方向からイオン打ち込みすることにより、n 型の半導体領域 20 を基板 2 S に形成する。

#### 【0061】

次いで、半導体ウエハ 2 W の主面上に、例えば酸化シリコン膜からなる絶縁膜を CVD 法等によって堆積した後、これを異方性ドライエッチングによってエッチバックすることにより、ゲート電極 8 b およびキャップ絶縁膜 9 の側面にサイドウォール 12 a を形成する。続いて、メモリセルアレイ MCA において、基板 2 S 上に残存する酸化シリコン膜を除去した後、例えば二酸化シリコン換算膜厚で厚さ 8 nm 程度となるように基板 2 S 上に酸化シリコン膜からなる絶縁膜を熱酸化法により形成する。その後、半導体ウエハ 2 W の主面上にリンをドーピングした多結晶シリコン膜からなる導体膜を CVD 法等により堆積した後、メモリセルアレイ MCA を除く領域の上記導体膜を選択的に除去する。その後、半導体ウエハ 2 W の主面上に有機樹脂膜を塗布した後、メモリセルアレイ MCA を除く領域を覆うレジストパターンを形成し、そのレジストパターンから露出する有機樹脂膜

を、互いに隣接するゲート電極 8 b 間に残されるようにエッチングする。その後、残された有機樹脂膜をマスクとしてそこから露出する上記 n 型の多結晶シリコン膜からなる導体膜をエッチングした後、有機樹脂膜をアッシング法により除去することにより、互いに隣接するゲート電極 8 b 間に、電荷蓄積層である浮遊ゲート電極 2 1 a を自己整合的に形成する。これにより、浮遊ゲート電極 2 1 a の合わせ余裕を小さくすることができるので、メモリセルの微細化が可能となる。また、浮遊ゲート電極 2 1 a を平坦にせず断面 V 字状に形成したことにより、半導体ウエハ 2 W の主面内の占有面積の増大を招くことなく、浮遊ゲート電極 2 1 a の表面積を増大させることができる。

#### 【0062】

次いで、半導体ウエハ 2 W の主面上に、例えば酸化シリコン膜からなる絶縁膜を LPCVD 法により堆積した後、この絶縁膜に上記酸素プラズマ処理を施す。続いて、その絶縁膜上に、例えば窒化シリコン ( $\text{Si}_x\text{N}_y$ ) からなる絶縁膜を LPCVD 法により堆積した後、その上に、例えば酸化シリコン膜からなる絶縁膜を LPCVD 法により堆積し、さらにその絶縁膜に上記酸素プラズマ処理を施す。このようにして窒化シリコン膜を酸化シリコン膜で挟み込むような積層構造を有する層間膜 2 2 a を形成する。このような層間膜 2 2 a の形成方法により、層間膜 2 2 a の絶縁破壊寿命を大幅に向上させることができる。また、層間膜 2 2 a の薄膜化が可能なので、カップリング比を向上させることができ、メモリセルに対する低電圧での情報の書き込みおよび消去動作を推進させることが可能となる。酸素プラズマ処理時間としても、上記酸素プラズマ処理により基板 2 S 上に形成される酸化シリコン膜の厚さが、LPCVD 酸化シリコン膜の厚さを中心に上下 30% 以内となるようにすると有効である。上記層間膜 2 2 a の実効的な膜厚は、二酸化シリコン換算膜厚で、例えば 14 nm 程度である。その後、図 37 に示すように、半導体ウエハ 2 W の主面上に、例えば多結晶シリコン膜からなる導体膜 2 3、例えばタングステンシリサイド等のようなシリサイド膜 2 4、酸化シリコン膜からなる絶縁膜 2 5 を CVD 法等により下層から順に堆積する。続いて、絶縁膜 2 5 上にレジストパターンを形成した後、これをエッチングマスクとして絶縁膜 2 5 をパターンニングする。その後、上記レジストパターンを除去した

後、残された絶縁膜 25 のパターンをエッチングマスクとして、そこから露出するシリサイド膜 24 および導体膜 23 をドライエッチング法により除去することで、図 38 に示すように、制御ゲート電極 26 を形成する。このようにしてメモリセルアレイ MCA に補助ゲート (AG) を有する複数のメモリセル MC を形成する。また、メモリセルアレイ MCA 以外の領域の絶縁膜 25、シリサイド膜 24、導体膜 23 および層間膜 22a を除去する。

### 【0063】

次いで、メモリセルアレイ MCA 以外の領域のキャップ絶縁膜 9 および導体膜 8 をリソグラフィ技術およびドライエッチング技術によりパターンニングしてゲート電極 8a およびキャップ絶縁膜 9 を形成した後、前記実施の形態 1 と同様に、ソースおよびドレイン用の相対的に低不純物濃度の半導体領域 10a, 11a, 27a, 28a をそれぞれ別々のレジストパターンをマスクにイオン注入法により形成する。半導体領域 27a は、例えばホウ素 (B) または二フッ化ホウ素 ( $\text{BF}_2$ ) が導入されて p 型にされ、半導体領域 28a は、例えばリン (P) またはヒ素 (As) が導入されて n 型にされている。続いて、図 39 に示すように、前記実施の形態 1 と同様に、ゲート電極 8a およびキャップ絶縁膜 9 の側面にサイドウォール 12 を形成した後、ソースおよびドレイン用の相対的に高不純物濃度の半導体領域 10b, 11b, 27b, 28b をそれぞれ別々のレジストパターンをマスクにイオン注入法により形成する。半導体領域 27b は、例えばホウ素 (B) または二フッ化ホウ素 ( $\text{BF}_2$ ) が導入されて p<sup>+</sup>型にされ、半導体領域 28b は、例えばリン (P) またはヒ素 (As) が導入されて n<sup>+</sup>型にされている。このようにして LDD (Lightly Doped Drain) 構造を有するソースおよびドレイン用の半導体領域 10a, 10b, 11a, 11b, 27a, 27b, 28a, 28b を形成して薄膜形成領域 A1 に、例えば nMISQn および pMISQp1 を形成し、厚膜形成領域 A2 に、例えば nMISQn1 および pMISQp を形成する。nMISQn および pMISQp1 は、相対的に低い電源電圧で駆動し、相対的に速い動作速度が要求されるような MIS を例示し、nMISQn1 および pMISQp は、相対的に高い電源電圧で駆動し、高速動作が要求されないような MIS を例示している。その後、半導体ウエハ 2W 上に、例えば

窒化シリコン膜からなる絶縁膜 30 を CVD 法により堆積した後、その上に前記実施の形態 1 と同様に絶縁膜 13a を CVD 法により堆積し、コンタクトホール 14 を形成し、プラグ 15a を形成し、配線 16a を形成する。その後は、酸化シリコン膜からなる絶縁膜の堆積、化学機械研磨（Chemical Mechanical Polishing：CMP）法による平坦化、スルーホールの形成、プラグの形成、配線の形成を順次 2 回繰り返す、3 層の配線層を形成し、さらに保護膜の形成、水素雰囲気中でのアニール、リソグラフィ技術およびドライエッチング技術によるボンディングパッド用の開口部の形成を行うことにより補助ゲートを有する AND 型フラッシュメモリを完成させた。

#### 【0064】

本実施の形態 6 の AND 型フラッシュメモリのメモリセルアレイ MCA は、互いに隣接するメモリセル MC のソースおよびドレイン用の n 型の半導体領域 20 を共有した、いわゆる仮想設置型であり、各メモリブロックに選択トランジスタを有している。メモリセルは、ローカルデータ線に対して並列に接続されている。選択するメモリセル（以下、選択セルという）MC の書き込みゲートおよび非選択セルの素子分離ゲートとなるゲート電極 8b（アシストゲート電極または補助ゲート電極）もデータ線に平行に配置される。ゲート電極 8b は、浮遊ゲート電極 21a の間に挟まれており、選択トランジスタの近傍で互いに結線されている。補助ゲート電極であるゲート電極 8b 下の絶縁膜の厚さは、例えば二酸化シリコン換算膜厚で 8～9 nm 程度である。浮遊ゲート電極 21a 下のトンネル絶縁膜の厚さは、例えば二酸化シリコン換算膜厚で 8～9 nm 程度である。

#### 【0065】

メモリセル MC への情報書き込み方式は、定電荷注入書き込みによるホットエレクトロン方式を採用している。すなわち、ソースラインにチャージしている電荷を、ある一定のチャネル電流として流し、浮遊ゲート電極 21a に書き込む、いわゆるソースサイドホットエレクトロン注入方式を採用している。この書き込みの際には、選択ワード線に、例えば 13 V 程度、データ線に、例えば 5 V 程度、一方のゲート電極 8b に、例えば 0.6 V 程度を印加することで行う。その間、選択したゲート電極 8b に対して浮遊ゲート電極 21a を挟んで隣接する非

選択のゲート電極 8 b は、例えば 0（零）V に固定し、そのメモリセル MC でのチャネル形成を制御するようになっている。すなわち、アシストゲートであるゲート電極 8 b は、書き込みゲートとしてだけでなく、フィールドアイソレーションゲートとしても機能する。これにより、メモリセルアレイ MCA 内には、トレンチアイソレーションを不要とすることができるので、データ線間のピッチの縮小が可能となっている。上記の電圧印加条件により、選択したゲート電極 8 b 下のチャネルは弱反転し、これに隣接する浮遊ゲート電極 21 a 下のチャネルは完全空乏化するので、ゲート電極 8 b とこれに隣接する浮遊ゲート電極 21 a との境界部下で大きなポテンシャルドロップが生じる結果、その境界部下のチャネル横方向電流が増大し効率良くホットエレクトロンが発生するようになっている。本実施の形態 6 のメモリセル MC の構造では、例えばチャネル電流を 100 nA 程度に低減しても、10  $\mu$ s 程度の書き込みに十分な 30 pA の注入電流が得られる。すなわち、チャネル電流 100 nA に相当する、ゲート電極 8 b に対する電圧 0.6 V で、10  $\mu$ s で情報の書き込みが可能な構成となっている。このセル特性から計算されるチップ書き込み速度は、20 MB/s である。また、注入効率は、 $3 \times 10^{-4}$  程度であり、NOR 型フラッシュメモリで一般的に用いられるドレインサイドホットエレクトロン注入に比べて 2 桁以上大きな値を得ることができる。このように本実施の形態 6 のフラッシュメモリでは、補助ゲート電極であるゲート電極 8 b を書き込みゲートに用いたソースサイドホットエレクトロン注入により、低チャネル電流で 10  $\mu$ s のセル書き込みを実現できる。これにより、20 MB/s のチップ書き込み速度を実現できる。また、補助ゲート電極であるゲート電極 8 b によるフィールドアイソレーションと、浮遊ゲート電極の自己整合形成プロセスにより、メモリセル面積を、例えば 0.104  $\mu\text{m}^2$ （二値）、0.052  $\mu\text{m}^2$ （多値）に縮小させることができる。なお、メモリセル MC の情報消去は、選択ワード線に負電圧を印加することにより、浮遊ゲート電極 21 a から基板 2 S への F-N トンネル放出により行う。

#### 【0066】

本実施の形態 6 によれば、前記実施の形態 1～5 と同様の効果を得ることができる。例えばゲート絶縁膜 6 a の信頼性（ゲート絶縁耐圧）は熱酸化膜と比べて

遜色がなかった。このため、メモリ周辺の高耐圧の  $nMISQn1$  および  $pMISQp$  の信頼性を向上させることができた。また、基板 2 S 中の結晶欠陥の発生を大幅に低減させることができた。このため、フラッシュメモリの動作信頼性および良品取得率を向上させることができた。また、素子分離部 3 の埋込み絶縁膜の落ち込みを低減できたので、素子特性の異常を抑制または防止できた。また、酸素プラズマ処理により層間膜 22 a の絶縁破壊寿命を大幅に向上させることができた。さらに、層間膜 22 a の膜質向上による薄膜化が可能となることにより、カップリング比を向上させることができ、メモリセル MC に対する低電圧での情報の書き込みおよび消去動作が可能となる。

#### 【0067】

##### (実施の形態 7)

本実施の形態 7 では、不揮発性情報記憶装置として、例えば F-MONOS (Metal Oxide Nitride Oxide Semiconductor) 型のフラッシュメモリの製造方法に本発明を適用した場合の一例を図 40～図 44 により説明する。図 40～図 44 は、本実施の形態 7 のフラッシュメモリの製造工程中における半導体ウエハ 2 W の要部断面図である。

#### 【0068】

まず、図 40 に示すように、前記実施の形態 6 と同様に、半導体ウエハ 2 W の p 型の基板 2 S に n 型の埋込領域 DNWL を形成し、半導体ウエハ 2 W の主面に溝型の素子分離部 3 を形成し、基板 2 S に p ウエル PWL 1 および n ウエル NWL 1 をそれぞれ別々のレジストパターンをマスクとしてイオン打ち込み法により形成する。続いて、しきい値電圧調整用の不純物として、例えばヒ素をイオン打ち込みすることにより、半導体領域 5 f を形成する。この半導体領域 5 f は MONOS 型のメモリセルをデプレッション型にするためのものである。その後、基板 2 S の主面の活性領域を露出させた後、半導体ウエハ 2 W の主面上に、例えば酸化シリコン膜からなる絶縁膜を LPCVD 法により堆積した後、この絶縁膜に上記酸素プラズマ処理を施す。続いて、その絶縁膜上に、例えば窒化シリコン ( $Si_xN_y$ ) からなる絶縁膜を LPCVD 法により堆積した後、その上に、例えば酸化シリコン膜からなる絶縁膜を LPCVD 法により堆積し、さらにその絶縁膜

に上記酸素プラズマ処理を施す。このようにして窒化シリコン膜を酸化シリコン膜で挟み込むような積層構造を有する絶縁膜 31 を形成する。このような酸素プラズマ処理方法により、絶縁膜 31 の絶縁破壊寿命を大幅に向上させることができるこの絶縁膜 31 の窒化シリコン膜は、電荷蓄積層であり、かつ離散的電荷トラップ手段としての機能を有しており、この窒化シリコン膜中もしくは同膜とその上下の酸化シリコン膜との界面のトラップ準位もしくはこれら両者に、情報を形成する電荷が捕獲されるようになっている。絶縁膜 31 の実効的な厚さは、例えば 15 nm 程度である。

#### 【0069】

次いで、半導体ウエハ 2W の主面上に、例えば多結晶シリコン膜からなる導体膜および酸化シリコン膜からなる絶縁膜を CVD 法等により下層から順に堆積する。続いて、同絶縁膜をリソグラフィ技術およびドライエッチング技術によりパターニングした後、絶縁膜のパターニングに用いたレジストパターンを除去し、さらにそのパターニングされた絶縁膜をマスクとして下層の導体膜をドライエッチング技術によりパターニングすることにより、図 41 に示すように、メモリセルアレイ MCA にゲート電極 32a およびキャップ絶縁膜 33 を形成する。ゲート電極 32a はメモリゲート電極である。続いて、ゲート電極 32a から露出する絶縁膜 31 を除去した後、例えば酸化シリコン膜からなる絶縁膜を CVD 法で堆積し、これをエッチバックすることにより、ゲート電極 32a およびキャップ絶縁膜 33 の側面にサイドウォール 12b を形成する。続いて、前記実施の形態 6 と同様に、薄膜形成領域 A1 の基板 2S に p ウエル P WL 2 および n ウエル N WL 2 をそれぞれ別々のレジストパターンをマスクとしてイオン打ち込み法により形成する。続いて、制御ゲート電極下のしきい値電圧調整用の不純物として、例えば二フッ化ホウ素をイオン打ち込みして半導体領域 5g を形成する。その後、半導体ウエハ 2W の主面上に、例えば酸化シリコン膜からなる相対的に厚い絶縁膜 6a を LPCVD 法等により堆積した後、その絶縁膜 6a に対して図 41 の矢印で模式的に示すように上記プラズマ処理を施す。この絶縁膜 6a は、主として厚膜形成領域 A2 の高耐圧系の M I S のゲート絶縁膜となる膜である。絶縁膜 6a に対して上記酸素プラズマ処理を施すことにより、比較的低温条件（例えば

0～400℃)で絶縁膜6aの信頼性(ゲート絶縁耐圧)を熱酸化膜と同等程度に向上させることができる。その後、絶縁膜6aをリソグラフィ技術およびフッ酸を含む溶液中でのウェットエッチング技術により図42に示すようにメモリセルアレイMCAの一部および厚膜形成領域A2に残されるようにパターンニングする。続いて、前記実施の形態1、6と同様に、半導体ウエハ2Wに対して熱酸化処理を施すことにより、図43に示すように、基板2Sの露出面に、例えば酸化シリコン膜からなる相対的に薄い絶縁膜7aを形成する。その後、半導体ウエハ2Wの主面上に、例えばリン(P)をドーパした多結晶シリコン膜からなる導体膜をCVD法により堆積した後、これをリソグラフィ技術およびドライエッチング技術を用いてパターンニングすることにより、図44に示すように、制御ゲート電極8cおよびゲート電極8aを形成する。

#### 【0070】

次いで、メモリセルアレイMCAが露出され、それ以外が覆われるようなレジストパターンをマスクとして、例えばヒ素をイオン打ち込みすることにより、ソース用のn型の半導体領域35を基板2Sに形成する。続いて、前記実施の形態1と同様に、相対的に低不純物濃度の半導体領域10a, 11a, 27a, 28aをそれぞれ別々のレジストパターンをマスクにイオン注入法により形成する。続いて、前記実施の形態1と同様に、ゲート電極8aの側面にサイドウォール12を形成した後、相対的に高不純物濃度の半導体領域10b, 11b, 27b, 28b, 36をそれぞれ別々のレジストパターンをマスクにイオン注入法により形成する。このようにしてメモリセルアレイMCAにメモリセルMC1を形成する。メモリセルMC1は、選択MIS(制御ゲート電極8cを含む)と、メモリMIS(ゲート電極32aを含む)とを有している。その後、基板2S、ゲート電極8a, 32aおよび制御ゲート電極8cの露出面に、例えばコバルトシリサイド( $\text{CoSi}_x$ )等のようなシリサイド層37を形成した後、半導体ウエハ2Wの主面上に、例えば窒化シリコン膜等からなる薄い絶縁膜38および厚い絶縁膜13aを下層から順にCVD法により堆積する。これ以降は、前記実施の形態1、6と同様にしてフラッシュメモリを製造する。

#### 【0071】

メモリセルMC 1 への情報書き込み方式は、例えば、ソースサイドホットエレクトロン注入方式を採用している。情報の書き込みに際しては、選択MISの制御ゲート電極8 cに、例えば電源電圧VCC、選択MISのドレイン（半導体領域36, 10 a）に、例えば電源電圧VCCまたは0（零）V、メモリMISのソース（半導体領域35, 36）に、例えば6 V程度、メモリMISのゲート電極32 aに、例えば10 V程度、メモリセルアレイMCAのpウエルPWL 1に、例えば0（零）Vを印加し、チャネルで発生したホットエレクトロンを絶縁膜31に注入することで情報を書き込む。

#### 【0072】

また、情報の消去に際しては、例えば、制御ゲート電極8 c、選択MISのドレイン（半導体領域36, 10 a）およびメモリMISのソース（半導体領域35, 36）に、例えば0（零）V、メモリMISのゲート電極32 aに、例えば12 V程度を印加し、絶縁膜31中の電子をトンネル放出によりゲート電極32 a側に逃がすことで情報を消去する。なお、情報の消去方式はこれに限定されるものではなく、他の消去方式として、絶縁膜31中の電子を基板（PウエルPWL 1またはソース35, 36）にトンネル放出する方法、またはホットホールをソース35, 36側から絶縁膜31に注入する方法がある。

#### 【0073】

さらに、情報の読み出しに際しては、制御ゲート電極8 cおよび選択MISのドレイン（半導体領域36, 10 a）に、例えば電源電圧VCC、メモリMISのゲート電極32 aおよびメモリMISのソース（半導体領域35, 36）に、例えば0（零）V程度を印加することで、メモリセルMC 1の選択MIS（制御ゲート電極8 c側）をオンした時に、メモリMIS（ゲート電極32 a側）のしきい値電圧状態により、所定の電流が流れるか否かに応じて、記憶情報を読み出す。

#### 【0074】

本実施の形態7のフラッシュメモリでは、情報を形成する電荷を、絶縁膜31の窒化シリコン膜中もしくは同膜と酸化シリコン膜との界面もしくはこれら両者のトラップ準位に離散的に蓄積するため、データ保持の信頼性に優れる。このた

め、絶縁膜 31 の窒化シリコン膜の上下の酸化シリコン膜を薄膜化でき、書き込みおよび消去動作の低電圧化が図れる。特に、本実施の形態では酸素プラズマ処理により窒化シリコン膜の上の酸化シリコン膜の膜質を向上させることができるので、その酸化シリコン膜を従来よりも薄くしてもデータ保持の信頼性を確保できるので、さらに低電圧動作を推進できる。また、スプリットゲート型セルを用いることで、ソースサイド注入方式でホットエレクトロンを絶縁膜 31 の窒化シリコン膜に注入するために電子注入効率に優れ、高速、低電流の書き込みができる。また、書き込みおよび消去動作の制御が簡単であるため、周辺回路を小規模にすることができる。

#### 【0075】

なお、積層構造を有する絶縁膜 31 を構成する酸化シリコン膜の内、窒化シリコン膜の下に形成されるものについては、通常の熱酸化により形成した場合にも本発明の目的を達成できることは言うまでもない。

#### 【0076】

(実施の形態 8)

本実施の形態 8 では、不揮発性情報記憶装置として、例えば F-MONOS 型のフラッシュメモリの製造方法に本発明を適用した場合の他の例を図 45～図 49 により説明する。図 45～図 49 は、本実施の形態 8 のフラッシュメモリの製造工程中における半導体ウエハ 2W の要部断面図である。

#### 【0077】

まず、図 45 に示すように、半導体ウエハ 2W の p 型の基板 2S に n 型の埋込領域 DNWL、溝型の素子分離部 3、p ウエル PWL1、PWL2、n ウエル NWL1、NWL2 およびしきい値電圧調整用の半導体領域 5g を形成した後、例えば酸化シリコン膜からなる絶縁膜 6a を二酸化シリコン換算膜厚で 16nm 程度となるように LPCVD 法により形成する。この絶縁膜 6a は、後に高耐圧 MIS のゲート絶縁膜となる。続いて、この絶縁膜 6a に対して、前記実施の形態 1～7 と同様に、図 45 の矢印で模式的に示すように酸素プラズマ処理を施すことにより、絶縁膜 6a の膜質を熱酸化膜と同等程度にまで改善させる。続いて、図 46 に示すように、絶縁膜 6a が厚膜形成領域 A2 およびその周辺の分離領域

A 3に残されるように、絶縁膜 6 a をパターンニングした後、半導体ウエハ 2 W に対して熱酸化処理を施すことにより、薄膜形成領域 A 1 およびメモリセルアレイ M C A の基板 2 S の露出面に、例えば酸化シリコン膜からなる絶縁膜 7 a を二酸化シリコン換算膜厚で 3.7 nm 程度となるように形成する。その後、半導体ウエハ 2 W の主面上に多結晶シリコン膜 4 0 を厚さ 100 nm 程度となるように C V D 法で堆積した後、メモリセルアレイ M C A 、薄膜形成領域 A 1 の n M I S 形成領域および厚膜形成領域 A 2 の多結晶シリコン膜 4 0 にリンまたはヒ素をイオン打ち込みし熱処理を施す。薄膜形成領域 A 1 の p M I S 形成領域の多結晶シリコン膜 4 0 は真性半導体とされる。その後、半導体ウエハ 2 W の主面上に、例えば酸化シリコン膜からなるキャップ絶縁膜 9 を C V D 法で堆積した後、キャップ絶縁膜 9 および多結晶シリコン膜（導体膜 8）をパターンニングし、さらに、図 4 7 に示すように、メモリセルアレイ M C A にしきい値電圧調整用の半導体領域 5 h をイオン打ち込みにより形成する。この半導体領域 5 h はメモリ用のゲート電極下のしきい値電圧等を制御するための領域である。

#### 【0078】

次いで、半導体ウエハ 2 W の主面上に前記した絶縁膜 3 1 を形成する。絶縁膜 3 1 は、前記実施の形態 7 と同様に、酸化シリコン膜、窒化シリコン膜および酸化シリコン膜を下層から順に L P C V D 法で堆積した積層膜からなる。本実施の形態 8 でも絶縁膜 3 1 の窒化シリコン膜は、離散的電荷トラップ手段としての機能を有しており、この窒化シリコン膜中もしくは同膜とその上下の酸化シリコン膜との界面もしくはこれら両者のトラップ準位に、情報を形成する電荷が捕獲されるようになっている。また、本実施の形態 8 においても、前記実施の形態 7 と同様に、絶縁膜 3 1 の形成処理に際して、情報蓄積に寄与する窒化シリコン膜の上下の酸化シリコン膜の堆積後に上記酸素プラズマ処理を施すことにより、その上下の酸化シリコン膜の膜質を熱酸化膜と同等程度にまで改善させている。このため、前記実施の形態 7 と同様の効果が得られる。続いて、薄膜形成領域 A 1 、厚膜形成領域 A 2 およびその周辺の分離領域 A 3 の絶縁膜 3 1 およびキャップ絶縁膜 9 を選択的に除去した後、半導体ウエハ 2 W の主面上に多結晶シリコン膜を C V D 法によって堆積する。その後、その堆積した多結晶シリコン膜において、

メモリセルアレイMCA、薄膜形成領域A1のnMIS形成領域および厚膜形成領域A2にリンまたはヒ素をイオン打ち込みし、薄膜形成領域A1のpMIS形成領域にホウ素または二フッ化ホウ素をイオン打ち込みした後、熱処理を施すことで多結晶シリコン膜を導体膜とする。この熱処理の際、薄膜形成領域A1のpMIS形成領域の上層の多結晶シリコン膜から下層の多結晶シリコン膜40に不純物のホウ素を熱拡散させる。その後、その導体膜上にキャップ絶縁膜を堆積し、これをメモリセルアレイMCA以外のゲート電極を形成する領域に残されるようにパターニングした後、キャップ絶縁膜をマスクとしてその下層の導体膜を異方性のドライエッチング法によりエッチバックする。これにより、図48に示すように、メモリセルアレイMCAには上記導体膜で形成されるゲート電極32aを形成し、それ以外の領域には多結晶シリコン膜40と導体膜32bとの積層膜で形成されるゲート電極8aおよびその上のキャップ絶縁膜41を形成する。その後、メモリセルアレイMCAが露出され、それ以外を覆うようなレジストパターンをマスクにして、例えばヒ素をイオン打ち込みすることで、n型の半導体領域35を基板2Sに形成する。

#### 【0079】

次いで、図49に示すように、メモリセルアレイMCAの多結晶シリコン膜40の一部を除去して制御ゲート電極40aを形成した後、例えばヒ素をイオン打ち込みすることにより、n型の半導体領域42を形成し、メモリセルMC2を形成する。メモリセルMC2は、選択MIS（制御ゲート電極40aを含む）とメモリMIS（ゲート電極32aを含む）とを有している。続いて、前記実施の形態7と同様に、半導体領域10a、11a、27a、28aを形成した後、サイドウォール12、半導体領域10b、11b、27b、28b、n+型の半導体領域42b、シリサイド層37、絶縁膜13aを形成する。これ以降は、前記実施の形態7と同様なので説明を省略する。

#### 【0080】

メモリセルMC2への情報書き込み方式は、例えばチャネルで発生したホットエレクトロンを絶縁膜31中に注入することで情報を書き込む。

#### 【0081】

情報の消去に際しては、例えば基板 2 S のホットホールを絶縁膜 3 1 中に注入することで情報を消去する。このメモリセル MC 2 の場合、消去方式は、上記のトンネリング消去方式と B T B T (Band-To-Band Tunneling) ホットホール注入消去方式との 2 つに分けられる。トンネリング消去方式では、絶縁膜 3 1 中の窒化シリコン膜中に注入した電子を、ゲート電極 3 2 a に正電圧または負電圧を印加した絶縁膜 3 1 中の窒化シリコン膜の上下の酸化シリコン膜をトンネリングさせてゲート電極 3 2 a または基板 2 S へ引き抜いて消去を行う。一方、B T B T ホットホール注入消去方式では、ソースとゲート電極 3 2 a との間に高電圧を印加し B T B T によって発生させたホットホールを絶縁膜 3 1 中の窒化シリコン膜中に注入して消去を行う。

#### 【0082】

さらに、情報の読み出しに際しては、例えば、制御ゲート電極 4 0 a をオンした時に、メモリ M I S (ゲート電極 3 2 a 側) のしきい値電圧状態により、所定の電流が流れるか否かに応じて、記憶情報を読み出す。

#### 【0083】

本実施の形態 8 においても、前記実施の形態 1 ~ 7 と同様の効果を得ることができる。また、積層構造を有する絶縁膜 3 1 を構成する酸化シリコン膜の内、窒化シリコン膜の下に形成されるものについては、通常の熱酸化により形成した場合にも本発明の目的を達成できること点も前記実施の形態 7 と同じである。

#### 【0084】

(実施の形態 9)

本実施の形態 9 では、不揮発性メモリの他のメモリセル構造に本発明を適用した場合の例を図 5 0 および図 5 1 により説明する。図 5 0 は、本実施の形態 9 の不揮発性メモリのメモリセル MC 3 の要部断面図、図 5 1 は、図 5 0 のメモリセル MC 3 の製造工程中における半導体ウエハ 2 W の要部断面図である。

#### 【0085】

図 5 0 に示すように、本実施の形態 9 の不揮発性メモリのメモリセル MC 3 は、基板 2 S に形成されたソースおよびドレイン用の一対の n 型の半導体領域 4 4 と、その一対の n 型の半導体領域 4 4 の間において基板 2 S の主面上に形成され

た絶縁膜 45 と、その絶縁膜 45 上に形成された複数のナノ結晶 46 と、そのナノ結晶 46 を覆うように絶縁膜 45 上に堆積された層間膜 47 と、層間膜 47 上に形成された制御ゲート電極 48 とを有している。

#### 【0086】

上記 n 型の半導体領域 44 には、例えばリンまたはヒ素が導入されている。上記絶縁膜 45 は、例えば酸化シリコン膜からなり、ここでは熱酸化法によって形成されている。また、上記ナノ結晶 46 は、例えば平面略円形状の直径数 nm のシリコン単結晶からなり、例えば CVD 法により形成されている。このナノ結晶 46 は、一般的な不揮発性メモリの浮遊ゲート電極と同等の機能を有する部分であり、情報を形成する電荷が捕獲される部分である。各ナノ結晶 46 は物理的に離れた状態で形成されている。このようなメモリセル MC3 構造では、情報の保持時にリークパスがあっても一部の電荷しか失われないので、データ保持特性に優れている。このため、フラッシュメモリのメモリとしての信頼性を向上させることができる。また、情報の消去および書き込み時においても、特性が多くのナノ結晶 46 間で平均化されるので、ナノ結晶 46 の直径や絶縁膜などの構造ばらつき、あるいは確率的振る舞いの影響を受け難い。このため、フラッシュメモリの歩留まりを向上させることができる。上記層間膜 47 は、例えば酸化シリコン膜からなり、例えば LPCVD 法によって形成されている。本実施の形態 9 では、層間膜 47 に対して前記酸素プラズマ処理が施されている。すなわち、図 51 に示すように、半導体ウエハ 2W の主面の絶縁膜 45 上に複数のナノ結晶 46 を形成した後、それらを覆うように層間膜 47 を LPCVD 法で堆積し、さらに、図 51 の矢印で模式的に示すように、層間膜 47 に対して前記酸素プラズマ処理を施す。これにより層間膜 47 の膜質（絶縁耐圧）を熱酸化膜と同等程度までに改善させることができる。CVD 法で形成された酸化シリコン膜は一般的に膜質が充分でないので、何ら処理しないと層間膜 47 の絶縁耐圧が図れないので層間膜 47 を厚くしなければならないが、層間膜 47 を厚くするとカップリング比の低下を招く。膜質改善のために熱処理を施すことも考えられるが、十分な効果を得るためには酸化性雰囲気の下、高温で長時間熱処理する必要があるナノ結晶が酸化されその表面に膜質に劣る酸化膜が形成されるという問題がある。また、長

時間の熱処理を施したにもかかわらず層間膜 47 の膜質は熱酸化膜よりも劣るという問題もある。これに対して本実施の形態 9 では、ナノ結晶の酸化量を少なく抑制したまま層間膜 47 の膜質を改善でき、カップリング比を向上させることができる。したがって、メモリセル MC 3 に対する低電圧での情報の書き込みおよび消去動作を推進させることが可能となる。上記制御ゲート電極 48 は、例えば低抵抗な多結晶シリコン膜からなる。その多結晶シリコン膜の表層に、例えばコバルトシリサイド層を形成することで低抵抗化を図ることもできる。

#### 【0087】

(実施の形態 10)

本実施の形態 10 では、例えば M I S キャパシタに本発明を適用した場合の例を図 5 2 および図 5 3 により説明する。図 5 2 は、本実施の形態 10 の M I S キャパシタ C 1 の要部断面図、図 5 3 は、図 5 2 の M I S キャパシタ C 1 の製造工程中における半導体ウエハ 2 W の要部断面図である。

#### 【0088】

図 5 2 に示す本実施の形態 10 の M I S キャパシタ C 1 は、例えばフラッシュメモリの昇圧回路を構成する集積回路素子であり、基板 2 S に形成された一対の半導体領域 5 0 と、基板 2 S 上に形成された絶縁膜 6 h と、その絶縁膜 6 h 上に形成されたキャパシタゲート電極 5 1 とを有している。半導体領域 5 0 は、M I S キャパシタ C 1 の電極を引き出す部分に相当し、基板 2 S のウエル W L が n 型であれば n 型にされ、ウエル W L が p 型であれば p 型にされる。この半導体領域 5 0 に挟まれている基板 2 S 部分が M I S キャパシタ C 1 の一方の電極となっている。絶縁膜 6 h は、M I S キャパシタ C 1 の容量絶縁膜であり、例えば L P C V D 法によって形成された酸化シリコン膜等からなる。本実施の形態 10 では、この絶縁膜 6 h に対して前記酸素プラズマ処理が施されている。すなわち、図 5 3 に示すように、半導体ウエハ 2 W の主面上に絶縁膜 6 h を L P C V D 法で堆積した後、図 5 3 の矢印で模式的に示すように、絶縁膜 6 h に対して前記酸素プラズマ処理を施す。これにより絶縁膜 6 h の膜質（絶縁耐圧）を熱酸化膜と同等程度までに改善させることができる。これにより、M I S キャパシタ C 1 の性能および信頼性を向上させることが可能となる。上記キャパシタゲート電極 5 1 は、

MIS キャパシタ C1 のもう一方の電極を形成する部分であり、例えば低抵抗な多結晶シリコン膜からなる。その多結晶シリコン膜の表層に、例えばコバルトシリサイド層を形成することで低抵抗化を図ることもできる。

#### 【0089】

##### (実施の形態 11)

本実施の形態 11 では、例えば MIM キャパシタに本発明を適用した場合の例を図 54 および図 55 により説明する。図 54 は、本実施の形態 11 の MIM キャパシタ C2 の要部断面図、図 55 は、図 54 の MIM キャパシタ C2 の製造工程中における半導体ウエハの要部断面図である。

#### 【0090】

図 54 に示す本実施の形態 11 の MIM キャパシタ C2 は、絶縁膜 13 x 1 上に形成された第 1 電極 53 a と、その上に形成された容量絶縁膜 54 と、その上に形成された第 2 電極 55 a とを有している。第 1、第 2 電極 53 a, 55 a は、例えば窒化チタン等のような導体膜からなる。容量絶縁膜 54 は、例えば酸化シリコン膜からなる絶縁膜 54 a 上に、例えば窒化シリコン膜からなる絶縁膜 54 b が堆積された積層膜構成を有している。本実施の形態 11 では、この絶縁膜 54 a に対して前記酸素プラズマ処理が施されている。すなわち、図 55 に示すように、第 1 電極形成用の導体膜 53 上に絶縁膜 54 a を LPCVD 法で堆積した後、図 55 の矢印で模式的に示すように、絶縁膜 54 a に対して前記酸素プラズマ処理を施す。これにより絶縁膜 54 a の膜質（絶縁耐圧）を熱酸化膜と同等程度までに改善させることができるので、MIM キャパシタ C2 の性能および信頼性を向上させることが可能となる。酸素プラズマ処理を施さない場合、膜質（絶縁耐圧）を確保するために容量絶縁膜（ここでは特に絶縁膜 54 a）を厚くする必要がある。これに対して本実施の形態 11 では、膜質を向上できるので、絶縁膜 54 a の厚さを、例えば 4 nm 程度の薄いものとすることができる。その結果、MIM キャパシタ C2 の容量を増大させることが可能となる。このため、容量絶縁膜 54 を酸化シリコン膜の単層膜とすることもできる。この場合も、容量絶縁膜 54 である酸化シリコン膜に酸素プラズマ処理を施すことで膜質改善を図ることができ、薄くできるので容量の増大を図ることができる。もちろん、容量

絶縁膜 54 を酸素プラズマ処理を施した酸化シリコン膜と、酸化シリコン膜よりも誘電率の高い、例えば上記窒化シリコン膜との積層膜とすることで、さらに容量を増大させることもできる。なお、上記絶縁膜 13 x 1 は、例えば酸化シリコン膜からなり、その上には MIM キャパシタ C2 を覆うように、例えば酸化シリコン膜からなる絶縁膜 13 x 2 が形成されている。絶縁膜 13 x 2 および容量絶縁膜 54 には第 1 電極 53 a の一部が露出されるスルーホール TH1 が形成されている。このスルーホール TH1 内にはプラグ 15 b が形成され第 1 電極 53 a と電氣的に接続されている。また、絶縁膜 13 x 2 には第 2 電極 55 a の一部が露出されるスルーホール TH2 が形成されている。このスルーホール TH2 内にはプラグ 15 c が形成され第 2 電極 55 a と電氣的に接続されている。このプラグ 15 b, 15 c は、例えばアルミニウムからなり、絶縁膜 13 x 2 上の配線 16 n と電氣的に接続されている。この MIM キャパシタ C2 は、比較的上層（外部端子（ボンディングパッド）に相対的に近い高さ）に配置されている。

#### 【0091】

##### （実施の形態 12）

本実施の形態 12 では、前記酸素プラズマ処理の他の適用箇所を図 56 ～ 図 69 により説明する。

#### 【0092】

図 56 は本実施の形態 12 の半導体装置の要部断面図を示している。基板 2 S には p ウエル P WL x および n ウエル N WL x が形成されている。素子分離部 3 に囲まれた p ウエル P WL x の活性領域には n M I S Q n x が形成されている。n M I S Q n x は、LDD 構造を有するソースおよびドレイン用の n 型の半導体領域 10 x、ゲート絶縁膜 7 c およびゲート電極 8 a を有している。一方、素子分離部 3 に囲まれた n ウエル N WL x の活性領域には p M I S Q p x が形成されている。p M I S Q p x は、LDD 構造を有するソースおよびドレイン用の p 型の半導体領域 11 x、ゲート絶縁膜 7 c およびゲート電極 8 a を有している。この n M I S Q n x および p M I S Q p x により C M I S（Complementary MIS）回路が形成されている。このような基板 2 S の主面上には、n M I S Q n x および p M I S Q p x を覆うように、例えば酸化シリコン膜からなる相対的に薄い絶縁

膜 38a が堆積されている。絶縁膜 38a 上には、層間絶縁膜用の絶縁膜 13a ~ 13e および第 1 ~ 第 3 層の配線 16a ~ 16c が形成されている。絶縁膜 13b ~ 13e は、例えば酸化シリコン膜からなる。絶縁膜 13b は、絶縁膜 13b1 の凹部に絶縁膜 13b2 が埋め込まれるようにして形成されている。絶縁膜 13d も同様に絶縁膜 13d1 の凹部に絶縁膜 13d2 が埋め込まれるようにして形成されている。各絶縁膜 13a ~ 13e の上面は、例えば CMP 法によって平坦にされている。上記第 2 層の配線 16b は、スルーホール TH3 内のプラグ 15b を通じて第 1 層の配線 16a と電氣的に接続されている。また、最上配線層の第 3 層の配線 16c は、スルーホール TH4 内のプラグ 15c を通じて第 2 層の配線 16b と電氣的に接続されている。第 1 ~ 第 3 層の配線 16a ~ 16c は、例えば窒化チタン (TiN)、チタン (Ti)、アルミニウム (Al)、チタン、窒化チタンを下層から順に積層してなる。また、プラグ 15b, 15c は、前記プラグ 15a と同様の構造とされている。最上の第 3 層の配線 16c は、表面保護膜 13f によって覆われている。表面保護膜 13f は、例えば絶縁膜 13f1 ~ 13f3 を積み重ねてなる。最下の絶縁膜 13f1 は、例えば酸化シリコン膜、その上の絶縁膜 13f2 は、例えば窒化シリコン膜、さらに最上の絶縁膜 13f3 は、例えばポリイミド樹脂等からなる。表面保護膜 13f の一部には、配線 16c の一部が露出されるような開口部 57 が開口されている。開口部 57 から露出される配線 16c の一部は外部端子 58 となっている。外部端子 58 には、ボンディングワイヤまたはバンプ電極が接合される。

#### 【0093】

本実施の形態 12 では、この半導体装置の素子分離部 3、絶縁膜 38a、絶縁膜 13a, 13c, 13e, 13f1 の表面に対して酸素プラズマ処理が施されている。以下、各部について、図 57 ~ 図 68 により説明する。図 57 ~ 図 68 は図 56 の半導体装置の製造工程中における半導体ウエハ 2W の要部断面図である。図 69 は比較のため本実施の形態の酸素プラズマ処理を用いない場合に生じる問題を示した半導体ウエハの要部断面図である。

#### 【0094】

まず、素子分離部 3 について図 57 ~ 図 61 により説明する。図 57 に示すよ

うに、半導体ウエハ 2 W の主面に、例えば酸化シリコン膜からなる絶縁膜 5 9 を二酸化シリコン換算膜厚で 20 nm 程度となるように熱酸化法で形成した後、その上に、例えば窒化シリコン膜からなる絶縁膜 6 0 を 130 nm 程度となるように L P C V D 法等により堆積する。続いて、レジストパターンをマスクとして絶縁膜 6 0 をエッチング法によりパターニングした後、そのレジストパターンを除去する。続いて、残された絶縁膜 6 0 をエッチングマスクとして、その絶縁膜 6 0 から露出する絶縁膜 5 9 および基板 2 S をエッチングすることにより、基板 2 S に基板 2 S の主面から厚さ方向に延びる溝 3 a を形成する。その後、洗浄処理を行った後、熱酸化処理により、溝 3 a 内に二酸化シリコン換算膜厚で 10 nm 程度の厚さの酸化シリコン膜を形成した後、半導体ウエハ 2 W の主面上に、例えば酸化シリコン膜からなる絶縁膜 6 1 を、溝 3 a を埋め込むように L P C V D 法により堆積する。その後、絶縁膜 6 1 の上面を C M P 法により研磨し、図 5 8 に示すように平坦にして溝 3 a を絶縁膜 6 1 で埋め込み素子分離部 3 を形成する。この段階では活性領域に絶縁膜 6 0 が研磨処理前に比べると薄くなっているが残されている。その後、上記絶縁膜 6 0 をウェットエッチング等により絶縁膜 5 9 に対して選択的に除去した後、図 5 8 の矢印で模式的に示すように、半導体ウエハ 2 W の主面に対して前記酸素プラズマ処理を施す。これにより、素子分離部 3 の表面の膜質を改善させることができる。すなわち、素子分離部 3 の表層部分は熱酸化膜と同等程度の膜質にされている。また、前記のように酸素プラズマ処理は低ダメージで処理できるので、活性領域が損傷を受けることはないが、この段階では活性領域には絶縁膜 5 9 が残されているので、損傷を受けることもない。次いで、図 5 9 に示すように基板 2 S 上に残されている絶縁膜 5 9 を図 6 0 に示すようにエッチングにより除去する。この時、C V D 法で形成された酸化シリコン膜からなる素子分離部 3 は一般的に膜質が充分でないので何ら処理しないと、熱酸化法で形成された膜質の良い酸化シリコン膜からなる絶縁膜 5 9 を除去する際に大幅にエッチングされ、素子分離部 3 の上面に窪みが形成されてしまう場合がある。この窪みは前記のように M I S のスイッチング特性の劣化を招く。これに対して、本実施の形態 1 2 では素子分離部 3 の上面が酸素プラズマ処理により熱酸化膜と同等程度に改善されているため大きく窪むこともなく絶縁膜 5 9 を除

去できる。したがって、 $n\text{MISQ}n_x$ および $p\text{MISQ}p_x$ の信頼性および特性を向上させることができる。その後、図61に示すように、基板2Sの露出面に、前記保護用の絶縁膜4を熱酸化法等によって形成し、これ以降の処理を進める。

#### 【0095】

次に、上記絶縁膜38について図62～図65により説明する。図62に示すように、半導体ウエハ2Wの主面上に、 $n\text{MISQ}n_x$ および $p\text{MISQ}p_x$ を覆うように、例えば酸化シリコン膜からなる絶縁膜38aをLPCVD法により堆積した後、図62の矢印で模式的に示すように前記酸素プラズマ処理を施す。これにより、絶縁膜38aを熱酸化膜と同等程度に改善させることができる。続いて、図63に示すように、半導体ウエハ2Wの主面上に絶縁膜38aを介して絶縁膜13aをLPCVD法等により堆積した後、その上面上にコンタクトホール形成用のレジストパターンPR2を形成する。その後、図64に示すように、レジストパターンPR2をエッチングマスクとして、平面略円形状のコンタクトホール14を絶縁膜13aに形成する。この時、本実施の形態12では、絶縁膜38aの膜質が熱酸化膜と同等程度に改善されているので、絶縁膜38aのエッチング速度をLPCVD法で形成された絶縁膜13aよりも遅くさせることができる。すなわち、絶縁膜38aをエッチングストップパのように機能させることができる。これにより、例えばコンタクトホール14の一部が平面的に素子分離部3に重なる位置に外れて形成された場合でも、そのコンタクトホール14から露出される素子分離部3が過剰に除去されてしまわないようにできる。また、コンタクトホール14の底部から露出する基板2Sが過剰に除去されてしまわないようにできる。続けてエッチング処理を施すことにより、図65に示すようにコンタクトホール14を形成する。一般的に絶縁膜38aは、絶縁膜13aとは材料の異なる窒化シリコン膜を用い、そのエッチング選択比を高くとることで上記問題を回避するようにコンタクトホール14を形成している。しかし、窒化シリコン膜を用いた場合、窒化シリコン膜の誘電率が酸化シリコン膜のそれよりも約2倍近く高いため配線容量が増大する。これに対して本実施の形態12では、絶縁膜38aの材料として酸化シリコン膜を用いているので、配線容量の低減が可能

となり、半導体装置の動作速度の向上を推進できる。

#### 【0096】

次に、層間絶縁膜として機能する上記絶縁膜 13a, 13c, 13e について図 66～図 69 により説明する。なお、ここでは絶縁膜 13a, 13c, 13e への酸素プラズマ処理はほとんど同じなので、絶縁膜 13a に対する酸素プラズマ処理を説明し、絶縁膜 13c, 13e に対する酸素プラズマ処理を省略する。

#### 【0097】

図 66 に示すように、絶縁膜 13a のコンタクトホール 14 内に前記実施の形態 1 で説明したようにプラグ 15a を CMP 法で形成した後、絶縁膜 13a の上面（すなわち、研磨面）に対して前記酸素プラズマ処理を施す。これにより、絶縁膜 13a の上層部の膜質を比較的低温条件で熱酸化膜と同等程度に改善させることができる。また、CMP 処理により研磨された絶縁膜 13a の上面にはダングリングボンド等のような結合手が存在し、不安定な状態とされている場合があるが、本実施の形態 12 では酸素プラズマ処理により、その絶縁膜 13a の上面を安定化させることができる。プラグ 15a を CMP 法で形成しない場合（すなわち、コンタクトホール 14 を形成後、配線導体膜を堆積しそれをリソグラフィ技術およびドライエッチング技術でパターンニングして配線を形成する場合）には、図 67 に示すように、絶縁膜 13a の堆積後に酸素プラズマ処理を施すようにしても良い。続いて、図 68 に示すように、プラグ 15a 上に形成された金属酸化膜を洗浄により除去した後、絶縁膜 13a 上に配線 16a を形成し、さらに絶縁膜 13b, 13c を堆積した後、絶縁膜 13c 上にスルーホール形成用のレジストパターン PR3 を形成する。その後、そのレジストパターン PR3 をエッチングマスクとして、そこから露出する絶縁膜 13c, 13b をエッチング除去することにより、配線 16a の一部が露出するようなスルーホール TH3 を形成する。図 68 では、絶縁膜 13a に対する酸素プラズマ処理の効果を説明するためスルーホール TH3 の平面位置がずれている場合を例示している。本実施の形態 12 では、絶縁膜 13a の上面が酸素プラズマ処理により改質されているため、絶縁膜 13a のエッチング速度が、CVD 法で形成された絶縁膜 13b, 13c よりも遅くなるようにすることができる。すなわち、絶縁膜 13a をエッチング

ストッパのように機能させることができる。このため、例えばスルーホールTH 3の位置ずれによりスルーホールTH 3の底面から絶縁膜13aが露出された場合でも、そのスルーホールTH 3から露出される絶縁膜13a, 38a, 9, 12がエッチングされてしまうような不具合を抑制または防止できる。図69は、絶縁膜13aおよび絶縁膜38aに酸素プラズマ処理を施さない場合を比較のために例示している。スルーホールTH 3から露出する絶縁膜13a, 38a, 9, 12がエッチングされ、スルーホールTH 3は基板2Sやゲート電極8aまでに達している。このままスルーホールTH 3内にプラグを形成すると、基板2S、ゲート電極8aおよび配線16aがプラグにより電氣的に接続されてしまう。

#### 【0098】

次に、上記表面保護膜13fの絶縁膜13f1について図56により説明する。本実施の形態12では表面保護膜13fの絶縁膜13f1をLPCVD法で堆積した後、その絶縁膜13f1に対して前記と同様に酸素プラズマ処理を施している。これにより、絶縁膜13f1の膜質を比較的低温条件で熱酸化膜と同等程度の改善することができる。表面保護膜13fは半導体チップの最上の絶縁膜であり汚染物質や水分の侵入を阻止する上で重要な膜である。CVD法で形成された酸化シリコン膜は膜質が充分でない場合があるので、汚染物質や水分の侵入の観点から充分でない場合もある。これに対して、本実施の形態12では、表面保護膜13fの絶縁膜13f1に対して酸素プラズマ処理を施すことにより、その膜質を改善させることができるので、その汚染物質や水分の侵入を阻止する能力を向上させることができる。このため、半導体装置の動作信頼性や寿命を向上させることが可能となる。

#### 【0099】

##### (実施の形態13)

本実施の形態13の半導体装置は、例えばトレンチゲート構造のnチャネル型のパワーMIS・FET (Power Metal Insulator Semiconductor Field Effect Transistor: パワートランジスタ) を有する半導体装置である。以下、本実施の形態13の半導体装置の製造方法の一例を図70～図72により説明する。

#### 【0100】

図70は、本実施の形態13の半導体装置の製造工程中における要部断面図を示している。基板2Sは、例えばn<sup>+</sup>型の半導体層2S1上に、n<sup>-</sup>型の半導体層2S2がエピタキシャル法によって堆積された構造を有する、いわゆるエピタキシャルウエハ（半導体ウエハ2W）である。半導体層2S1、2S2は、例えばシリコン（Si）単結晶からなる。半導体層2S1の不純物濃度は、例えば $2.0 \times 10^{19} \text{ cm}^{-3}$ 程度であり、半導体層2S2の不純物濃度は、例えば $1.0 \times 10^{16} \text{ cm}^{-3}$ 程度である。半導体層2S2には、p<sup>-</sup>型の半導体領域（ウェル）63が形成されている。この半導体領域63は、複数のパワーMIS・FET（以下、パワーMISという）のチャネルが形成される領域である。半導体領域63は、例えばホウ素（B）が半導体層2S2の主面から半導体層2S2の厚さ方向の途中位置まで分布することで形成されている。半導体領域63中の不純物のピーク濃度は、例えば $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度とされている。また、半導体層2S2において半導体領域63の外周端には、p型の半導体領域（ウェル）64が形成されている。この半導体領域64には、例えばホウ素が含有されている。また、半導体層2S2の主面の分離領域には、例えば酸化シリコン（SiO<sub>2</sub>等）からなる素子分離部3がLOCOS（Local Oxidization of Silicon）法等によって形成されている。素子分離部3は前記のように溝型のもの（トレンチアイソレーション）でも良い。この素子分離部3に囲まれた活性領域は、パワーMIS形成領域となっている。この活性領域には、複数の溝65が形成されている。各溝65は、セル毎に設けられており、断面で見た場合、半導体層2S2の主面から半導体層2S2の深さ方向の途中位置にまで延び、平面で見た場合は所定の方向に沿って延びている。この溝65の内壁面および溝65の開口周辺の半導体層2S2上面には、例えば酸化シリコン膜からなるゲート絶縁膜66が形成されている。ゲート絶縁膜66は、例えば熱酸化法で形成された酸化シリコン膜上に、LPCVD法で堆積された酸化シリコン膜を積み重ねた積層構造とされている。溝型のパワーMISの場合、熱酸化膜のみでゲート絶縁膜66を形成しようとするとは結晶欠陥の問題が生じる場合があるので、ゲート絶縁膜66の全てを熱酸化膜で形成することができない。このため、ゲート絶縁膜66を熱酸化膜とCVD膜との積層膜で形成している。本実施の形態13では、このようなゲ

ート絶縁膜 66 の形成後、図 70 の矢印で模式的に示すように前記と同様の酸素プラズマ処理を施す。これによりゲート絶縁膜 66 の全体の膜質（ゲート絶縁耐圧）を比較的低温条件で熱酸化膜と同等程度に改善できる。このため、パワー M I S の特性を向上させることが可能となる。比較的低温条件なので結晶欠陥や不純物再分布の問題を抑制または防止できる。また、酸素プラズマ処理は低エネルギーでの処理なのでゲート絶縁膜 66 や基板 2 S 主面に損傷を与えることもない。なお、溝 65 の隣接間の半導体層 2 S 2 には、ソース用の n 型の半導体領域 67 a が形成されている。この半導体領域 67 a は、例えばヒ素（A s）が半導体層 2 S 2 の主面から半導体領域 63 の深さ方向の途中位置まで分布することで形成されており、上記溝 65 を形成する前に既に形成されている。半導体領域 67 a 中の不純物のピーク濃度は、例えば  $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度である。

#### 【0101】

次いで、図 71 は、図 70 の後の半導体装置の製造工程中における要部断面図を示している。この段階では、上記ゲート絶縁膜 66 上に、パワー M I S のトレンチ型のゲート電極 68 が形成されている。ゲート電極 68 は、例えば低抵抗な多結晶シリコン膜からなり、断面 T 字状に形成されている。すなわち、ゲート電極 68 は、溝 65 の内部にゲート絶縁膜 66 を介して埋め込まれた第 1 部分 68 a と、この第 1 部分 68 a に連なり、溝 65 の外部に突出され、かつ、溝 65 の幅寸法（短方向寸法）よりも幅広の第 2 部分 68 b とを有している。また、パワー M I S 形成領域の外周には、ゲート引出配線 68 L が半導体層 2 S 2 の主面上にゲート絶縁膜 66 および素子分離部 3 を介して形成されている。ゲート引出配線 68 L は、各ゲート電極 68 と一体的に形成され電氣的に接続されている。このようなゲート電極 68 およびゲート引出配線 68 L 上には、例えば酸化シリコン膜からなるキャップ絶縁膜 9 がパターニングされて堆積されている。ここでは、まず、図 71 の基板 2 S の主面上にソース領域以外の領域を覆うレジストパターンを形成した後、これをマスクとして基板 2 S の主面に、例えばヒ素をイオン注入することにより、ゲート電極 68 の隣接間の半導体層 2 S 2 の表層にソース用の n 型の半導体領域（第 2 半導体領域） 67 を形成する。続いて、半導体ウエ

ハ2Wの半導体層2S2の主面上に、例えば酸化シリコン膜等からなる絶縁膜69をCVD法によって堆積した後、その上に、パワーMIS形成領域の外周領域が覆われ、それ以外が露出されるようなレジストパターンを形成した状態で、半導体ウエハ2W上の上記絶縁膜69に対して異方性のドライエッチング法によってエッチバック処理を施す。これにより、パワーMIS形成領域には各ゲート電極68およびキャップ絶縁膜9の側面にサイドウォール69aを形成し、パワーMIS形成領域の周辺に絶縁膜69bを形成する。

### 【0102】

次いで、図72は、図71の後の半導体装置の製造工程中における要部断面図を示している。この段階では、キャップ絶縁膜9、サイドウォール69aおよび絶縁膜69bをエッチングマスクとして、そこから露出する半導体層2S2部分をドライエッチング法によってエッチングすることにより溝70を形成する。各溝70は、断面で見た場合、半導体層2S2の主面から半導体領域63の深さ方向の途中位置にまで延び、平面で見た場合は所定方向に沿って延びている。その後、例えば二フッ化ホウ素( $\text{BF}_2$ )を、 $80\text{keV}$ 、 $3 \times 10^{15}\text{cm}^{-2}$ 程度で半導体層2S2にイオン注入することにより、溝70の底部にp+型の半導体領域71を形成する。続いて、ウエットエッチング処理によりサイドウォール69aおよびキャップ絶縁膜9の外周部分を若干除去して溝70の上方の間口を広くした後、絶縁膜69bにコンタクトホール14を開口してゲート引出配線68Lの一部を露出させる。その後、半導体ウエハ2Wの主面上に、例えば設計上の厚さで $50\text{nm}$ 程度のチタン(Ti)等のような高融点金属膜からなる導体膜72をスパッタリング法によって堆積する。この導体膜72は、この後に堆積されるアルミニウム膜の濡れ性を向上させるための機能やアルミニウムとシリコンとの反応を抑制または防止する機能を有している。続いて、半導体ウエハ2Wの主面上に、例えばアルミニウム等からなる導体膜73をスパッタリング法によって堆積した後、導体膜72、73をリソグラフィ技術およびドライエッチング技術によりパターンニングすることにより、ゲート電極74Gおよびソース電極74Sを半導体ウエハ2Wの主面上に形成する。ゲート電極74Gは、コンタクトホール14を通じてゲート引出配線68Lと電氣的に接続され、ソース電極74Sは

、溝 70 を通じて半導体層 2 S 2 の半導体領域 6 3, 6 7, 7 1 と電氣的に接続されている。このようにして高性能なパワー M I S を有する半導体装置を製造する。

### 【0103】

(実施の形態 14)

本実施の形態 14 では、例えば液晶表示装置(L C D : Liquid Crystal Display)の製造方法に本発明を適用した場合の一例について図 7 3 ~ 図 7 8 により説明する。図 7 3 ~ 図 7 7 は本実施の形態 14 の液晶表示装置の製造工程中における要部断面図、図 7 8 は図 7 7 の要部拡大断面図である。

### 【0104】

まず、図 7 3 に示すように、アレイ基板を構成する透明なガラス基板 7 6 a の主面(デバイス形成面)上に、例えばタンタル(T a)ーモリブデン(M o)合金等のような導体膜をスパッタリング法等によって堆積した後、これをリソグラフィ技術およびエッチング技術によりパターンングすることにより、ゲート電極 7 7 を形成する。続いて、ガラス基板 7 6 a の主面上に、例えば酸化シリコン膜からなる絶縁膜 7 8 をプラズマ C V D 法等によってゲート電極 7 7 を覆うように堆積する。この絶縁膜 7 8 は、映像データを書き込むスイッチ素子としての機能を有する T F T (Thin Film Transistor) のゲート絶縁膜を形成する膜である。その後、本実施の形態 14 では、この絶縁膜 7 8 に対して図 7 3 の矢印で模式的に示すように前記酸素プラズマ処理を施す。これにより、絶縁膜 7 8 の膜質(ゲート絶縁耐圧)を改善させることができる。このため、絶縁膜 7 8 を薄くすることができるので、上記 T F T の動作性能を向上させることが可能となる。また、絶縁膜 7 8 の膜質を向上させることができるので、T F T Q L の寿命を向上させることができる。さらに、液晶表示装置を構成するガラス基板はあまり高温での処理ができないが、本実施の形態 14 の酸素プラズマ処理によれば比較的低温条件(0 ~ 400℃)で絶縁膜 7 8 の改質処理が可能であり、ガラス基板 7 6 a に不具合が生じることもないので、液晶表示装置の製造条件に適したプロセスである。ゲート絶縁膜の変形例として、例えば次のようにしても良い。すなわち、ゲート電極 7 7 の表面を陽極酸化することにより、例えば酸化タンタル(T a O<sub>x</sub>

）等のような絶縁膜をゲート電極 77 の表面に形成した後、上記酸化シリコン膜からなる絶縁膜を CVD 法で堆積し、その酸化シリコン膜に酸素プラズマ処理を施すことでゲート絶縁膜を形成しても良い。これにより、ゲート絶縁膜の誘電率を高くできるので、ゲート絶縁膜の膜厚が比較的厚くても TFT の動作性能を向上させることができる。

#### 【0105】

次いで、図 74 に示すように、例えばアモルファスシリコン (a-Si) 等からなる半導体層 79 を形成し、その上に窒化シリコン膜等からなる絶縁膜 80 を形成し、ソースおよびドレイン配線形成用の導体膜 81 を堆積する。半導体層 79 は、例えば多結晶シリコン膜で形成しても良い。続いて、導体膜 81 をパターニングして、図 75 に示すように、ソースおよびドレイン用の配線 81a を形成して TFTQL を形成した後、例えば酸化シリコン膜からなる保護膜 82 を堆積し、その一部にコンタクトホール 83 を形成する。その後、ガラス基板 76a の主面上に、例えば ITO (インジウムと錫の酸化物) 等からなる透明導体膜を堆積した後、これをパターニングすることにより、図 76 に示すように、画素電極 84 を形成する。その後、図 77 および図 78 に示すように、ガラス基板 76a およびガラス基板 76b の双方の主面に、例えばポリイミド樹脂等からなる配向膜 85 を塗布し、さらに配向膜処理を施した後、双方のガラス基板 76a, 76b を、その対向面間にスペーサ 86 およびシール接着剤 87 を介して貼り合わせる。その後、2つのガラス基板 76a, 76b の対向面間の隙間に毛細管現象等を利用して液晶材料を充填した後、ガラス基板 76a, 76b の裏面に偏光板 88a, 88b を貼り付けて液晶パネル 89 を製造する。ガラス基板 76b は、カラーフィルタ基板を構成する透明な基板で、その主面には RGB (赤、緑、青) の3色の着色層 (カラーフィルタ) 90 の繰り返しパターンが、アレイ基板であるガラス基板 76a の各画素電極 84 に対向する位置に形成されている。

#### 【0106】

このように、本実施の形態 13 によれば、液晶表示装置の TFTQL の性能および寿命を向上させることが可能となる。

#### 【0107】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

#### 【0108】

例えば前記実施の形態1～13では、絶縁膜の形成方法としてLPCVD法を適用した場合について説明したが、これに限定されるものではなく、例えばプラズマCVD法で形成した酸化シリコン膜からなる絶縁膜に対して酸素プラズマ処理を施すことにより、その絶縁膜の膜質を改善させることができる。

#### 【0109】

また、前記実施の形態1～14では、酸化シリコン膜に対して酸素プラズマ処理を施すことにより、その酸化シリコン膜の膜質を改善する場合について説明したが、これに限定されるものではなく、例えば酸窒化シリコン(SiON)または窒化シリコン膜に対して酸素プラズマ処理をすることで各々の絶縁膜の膜質(絶縁耐圧)を改善しても良い。また、酸化シリコン膜、酸窒化シリコン膜または窒化シリコン膜のうちから選択された2以上の絶縁膜の積層膜に対して酸素プラズマ処理を施すことにより、各々の積層膜の膜質(絶縁耐圧)を改善するようにしても良い。この時、各膜を堆積するたびに酸素プラズマ処理を施しても良い。

#### 【0110】

さらに、酸素プラズマ処理を行う際にはプラズマ雰囲気酸が酸化作用を有してさえいばよく、プラズマ処理室に導入する気体としては酸素分子に替えて水蒸気、N<sub>2</sub>O、NOあるいはO<sub>2</sub>を含めこれら分子を二種類以上含有していても同様の効果の得られることは言うまでもない。また、酸素分子とともに水素分子を含有する場合には水蒸気を含有する場合と同様、酸素分子のみもしくは酸素分子と不活性分子を含有する場合よりも短時間で膜質の改善効果が得られた。なお、プラズマ処理室に導入する気体が酸素分子と窒素分子を含有する場合には、酸化シリコン膜の改質と同時に窒化が進行し、電圧ストレスに伴うフラットバンド電圧やリーク電流の変動が減少するという効果も得られるので、必要に応じて酸素分子と窒素分子を含有する混合気体を用いるとより一層効果的である。

#### 【0111】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュメモリ、CMIS回路またはパワーMIS回路を有する半導体装置の製造方法や液晶表示装置の製造方法に適用した場合について説明したが、それに限定されるものではなく、例えばDRAM (Dynamic Random Access Memory) またはSRAM (Static Random Access Memory) 等のようなメモリ回路を有する半導体装置、マイクロプロセッサ等のような論理回路を有する半導体装置あるいはメモリ回路と論理回路とを同一半導体基板に設けている混載型の半導体装置等のような他の半導体装置の製造方法にも適用できる。また、マイクロマシンの製造方法にも適用できる。

#### 【0112】

また、LCDドライバーのような高耐圧MISFETを有する半導体装置の製造方法にも適用できる。なお、高耐圧MISFETを有する半導体装置において、CVD法で形成する高耐圧MISFETの厚いゲート絶縁膜を、熱酸化膜形成プロセスよりも低温プロセスで熱酸化膜と比べて遜色のない膜質の酸化膜を形成することができる。

#### 【0113】

##### 【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

#### 【0114】

すなわち、半導体基板上にCVD法により堆積した酸化膜に対して、酸素原子を含む雰囲気中においてプラズマ処理を施すことにより、熱酸化膜と比べて遜色のない膜質のシリコン酸化膜を熱酸化によらず形成することができるので、そのシリコン酸化膜を有する半導体装置の信頼性を向上させることが可能となる。

##### 【図面の簡単な説明】

#### 【図1】

本発明者による実験結果であって、フラットバンド電圧の初期値からの変化量を、電圧ストレスを付加した累積時間の関数として示したグラフ図である。

#### 【図2】

図 1 の容量電圧特性に代えて電流電圧特性（ゲート絶縁膜のリーク電流）を測定した結果を示すグラフ図である。

【図 3】

酸素プラズマ処理時の圧力条件を図 1 とは変えて得られた試料において、フラットバンド電圧の初期値からの変化量を、電圧ストレスを付加した累積時間の関数として示したグラフ図である。

【図 4】

図 3 の容量電圧特性に代えて電流電圧特性（ゲート絶縁膜のリーク電流）を測定した結果を示すグラフ図である。

【図 5】

酸素プラズマ処理時の圧力条件を図 1 とは変えて得られた種々試料において、フラットバンド電圧の初期値からの変化量を、電圧ストレスを付加した累積時間の関数として示したグラフ図である。

【図 6】

図 5 の容量電圧特性に代えて電流電圧特性（ゲート絶縁膜のリーク電流）を測定した結果を示すグラフ図である。

【図 7】

図 1 とは酸化シリコン膜の厚さとストレス電圧を変えた試料において、フラットバンド電圧の初期値からの変化量を、電圧ストレスを付加した累積時間の関数として示したグラフ図である。

【図 8】

図 7 の容量電圧特性に代えて電流電圧特性（ゲート絶縁膜のリーク電流）を測定した結果を示すグラフ図である。

【図 9】

CVD 酸化シリコン膜の形成を低温で行った場合と高温で行った場合との結果を比較して示すグラフ図である。

【図 10】

CVD 酸化シリコン膜の形成を低温で行った場合と高温で行った場合との結果を比較して示すグラフ図である。

**【図 1 1】**

本発明の一実施の形態である半導体装置の製造方法で用いる酸素プラズマ処理装置の一例の説明図である。

**【図 1 2】**

本発明の一実施の形態である半導体装置の製造工程中の要部断面図である。

**【図 1 3】**

図 1 2 に続く半導体装置の製造工程中の要部断面図である。

**【図 1 4】**

図 1 3 に続く半導体装置の製造工程中の要部断面図である。

**【図 1 5】**

図 1 4 に続く半導体装置の製造工程中の要部断面図である。

**【図 1 6】**

図 1 5 に続く半導体装置の製造工程中の要部断面図である。

**【図 1 7】**

図 1 6 に続く半導体装置の製造工程中の要部断面図である。

**【図 1 8】**

本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

**【図 1 9】**

図 1 8 に続く半導体装置の製造工程中の要部断面図である。

**【図 2 0】**

本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

**【図 2 1】**

図 2 0 に続く半導体装置の製造工程中の要部断面図である。

**【図 2 2】**

図 2 1 に続く半導体装置の製造工程中の要部断面図である。

**【図 2 3】**

本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

**【図 2 4】**

図 2 3 に続く半導体装置の製造工程中の要部断面図である。

**【図 2 5】**

図 2 4 に続く半導体装置の製造工程中の要部断面図である。

**【図 2 6】**

図 2 5 に続く半導体装置の製造工程中の要部断面図である。

**【図 2 7】**

本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

**【図 2 8】**

図 2 7 に続く半導体装置の製造工程中の要部断面図である。

**【図 2 9】**

図 2 8 に続く半導体装置の製造工程中の要部断面図である。

**【図 3 0】**

図 2 9 に続く半導体装置の製造工程中の要部断面図である。

**【図 3 1】**

図 3 0 に続く半導体装置の製造工程中の要部断面図である。

**【図 3 2】**

本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

**【図 3 3】**

図 3 2 に続く半導体装置の製造工程中の要部断面図である。

**【図 3 4】**

図 3 3 に続く半導体装置の製造工程中の要部断面図である。

**【図 3 5】**

図 3 4 に続く半導体装置の製造工程中の要部断面図である。

**【図 3 6】**

図 3 5 に続く半導体装置の製造工程中の要部断面図である。

**【図 3 7】**

図 3 6 に続く半導体装置の製造工程中の要部断面図である。

**【図 3 8】**

図 3 7 に続く半導体装置の製造工程中の要部断面図である。

**【図 3 9】**

図 3 8 に続く半導体装置の製造工程中の要部断面図である。

【図 4 0】

本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図 4 1】

図 4 0 に続く半導体装置の製造工程中の要部断面図である。

【図 4.2】

図 4 1 に続く半導体装置の製造工程中の要部断面図である。

【図 4 3】

図 4 2 に続く半導体装置の製造工程中の要部断面図である。

【図 4 4】

図 4 3 に続く半導体装置の製造工程中の要部断面図である。

【図 4 5】

本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図 4 6】

図 4 5 に続く半導体装置の製造工程中の要部断面図である。

【図 4 7】

図 4 6 に続く半導体装置の製造工程中の要部断面図である。

【図 4 8】

図 4 7 に続く半導体装置の製造工程中の要部断面図である。

【図 4 9】

図 4 8 に続く半導体装置の製造工程中の要部断面図である。

【図 5 0】

本発明の他の実施の形態である半導体装置の要部断面図である。

【図 5 1】

図 5 0 の半導体装置の製造工程中の要部断面図である。

【図 5 2】

本発明の他の実施の形態である半導体装置の要部断面図である。

【図 5 3】

図 5 2 の半導体装置の製造工程中の要部断面図である。

**【図 5 4】**

本発明の他の実施の形態である半導体装置の要部断面図である。

**【図 5 5】**

図 5 4 の半導体装置の製造工程中の要部断面図である。

**【図 5 6】**

本発明の他の実施の形態である半導体装置の要部断面図である。

**【図 5 7】**

図 5 6 の半導体装置の製造工程中の要部断面図である。

**【図 5 8】**

図 5 6 の半導体装置の図 5 7 に続く製造工程中の要部断面図である。

**【図 5 9】**

図 5 6 の半導体装置の図 5 8 に続く製造工程中の要部断面図である。

**【図 6 0】**

図 5 6 の半導体装置の図 5 9 に続く製造工程中の要部断面図である。

**【図 6 1】**

図 5 6 の半導体装置の図 6 0 に続く製造工程中の要部断面図である。

**【図 6 2】**

図 5 6 の半導体装置の製造工程中の要部断面図である。

**【図 6 3】**

図 5 6 の半導体装置の図 6 2 に続く製造工程中の要部断面図である。

**【図 6 4】**

図 5 6 の半導体装置の図 6 3 に続く製造工程中の要部断面図である。

**【図 6 5】**

図 5 6 の半導体装置の図 6 4 に続く製造工程中の要部断面図である。

**【図 6 6】**

図 5 6 の半導体装置の製造工程中の要部断面図である。

**【図 6 7】**

図 5 6 の半導体装置の図 6 6 に続く製造工程中の要部断面図である。

**【図 6 8】**

図 5 6 の半導体装置の図 6 7 に続く製造工程中の要部断面図である。

【図 6 9】

酸素プラズマ処理を用いない場合を比較のために示した半導体ウエハの要部断面図である。

【図 7 0】

本発明の他の実施の形態である半導体装置の製造工程中における要部断面図である。

【図 7 1】

図 7 0 の後の半導体装置の製造工程中における要部断面図である。

【図 7 2】

図 7 1 の後の半導体装置の製造工程中における要部断面図である。

【図 7 3】

本発明の他の実施の形態である液晶表示装置の製造工程中における要部断面図である。

【図 7 4】

図 7 3 に続く液晶表示装置の製造工程中における要部断面図である。

【図 7 5】

図 7 4 に続く液晶表示装置の製造工程中における要部断面図である。

【図 7 6】

図 7 5 に続く液晶表示装置の製造工程中における要部断面図である。

【図 7 7】

図 7 6 に続く液晶表示装置の製造工程中における要部断面図である。

【図 7 8】

図 7 7 の液晶表示装置の要部拡大断面図である。

【符号の説明】

- 1 プラズマ処理装置
- 1 a 高周波電源
- 1 b 整合器
- 1 c アンテナ

- 1 d 反応槽
- 1 e 処理台
- 1 f 反応気体導入口
- 1 g 排気口
- 2 W 半導体ウエハ
  - 3 素子分離部
  - 4 絶縁膜
- 5 a, 5 b 半導体領域
- 6 a ~ 6 h 絶縁膜
- 7 a, 7 b 絶縁膜
- 7 c ゲート絶縁膜
- 8 導体膜
  - 8 a ゲート電極
  - 8 b ゲート電極
  - 8 c 制御ゲート電極
- 9 キャップ絶縁膜
- 1 0 a, 1 0 b, 1 0 x 半導体領域
- 1 1 a, 1 1 b, 1 1 x 半導体領域
- 1 2, 1 2 a, 1 2 b サイドウォール
- 1 3 a, 1 3 b, 1 3 b 1, 1 3 b 2, 1 3 c 絶縁膜
- 1 3 d, 1 3 d 1, 1 3 d 2, 1 3 e, 1 3 x 1, 1 3 x 2 絶縁膜
- 1 3 f 表面保護膜
  - 1 3 f 1, 1 3 f 2, 1 3 f 3, 絶縁膜
- 1 4 コンタクトホール
- 1 5 a, 1 5 b, 1 5 c プラグ
- 1 6 a, 1 6 n 配線
- 1 7 a 絶縁膜
- 2 0 半導体領域
- 2 1 a 浮遊ゲート電極

2 2 a 層間膜  
2 3 導体膜  
2 4 シリサイド膜  
2 5 絶縁膜  
2 6 制御ゲート電極  
2 7 a, 2 7 b 半導体領域  
2 8 a, 2 8 b 半導体領域  
3 0 絶縁膜  
3 1 絶縁膜  
3 2 a ゲート電極  
3 3 キャップ絶縁膜  
3 4 導体膜  
3 5 半導体領域  
3 6 半導体領域  
3 7 シリサイド層  
3 8 絶縁膜  
3 8 a 絶縁膜  
4 0 多結晶シリコン膜  
4 0 a 制御ゲート電極  
4 1 キャップ絶縁膜  
4 2 半導体領域  
4 4 半導体領域  
4 5 絶縁膜  
4 6 ナノ結晶  
4 7 層間膜  
4 8 制御ゲート電極  
5 0 半導体領域  
5 1 キャパシタゲート電極  
5 3 導体膜

5 3 a 第 1 電極  
5 4 容量絶縁膜  
5 4 a, 5 4 b 絶縁膜  
5 5 a 第 2 電極  
5 7 開口部  
5 8 外部端子  
5 9 絶縁膜  
6 0 絶縁膜  
6 1 絶縁膜  
6 3 半導体領域  
6 4 半導体領域  
6 5 溝  
6 6 ゲート絶縁膜  
6 7 a 半導体領域  
6 8 ゲート電極  
6 8 a 第 1 部分  
6 8 b 第 2 部分  
6 8 L ゲート引出配線  
6 9 絶縁膜  
6 9 a サイドウォール  
6 9 b 絶縁膜  
7 0 溝  
7 1 半導体領域  
7 2 導体膜  
7 3 導体膜  
7 4 G ゲート電極  
7 4 S ソース電極  
7 6 a ガラス基板  
7 7 ゲート電極

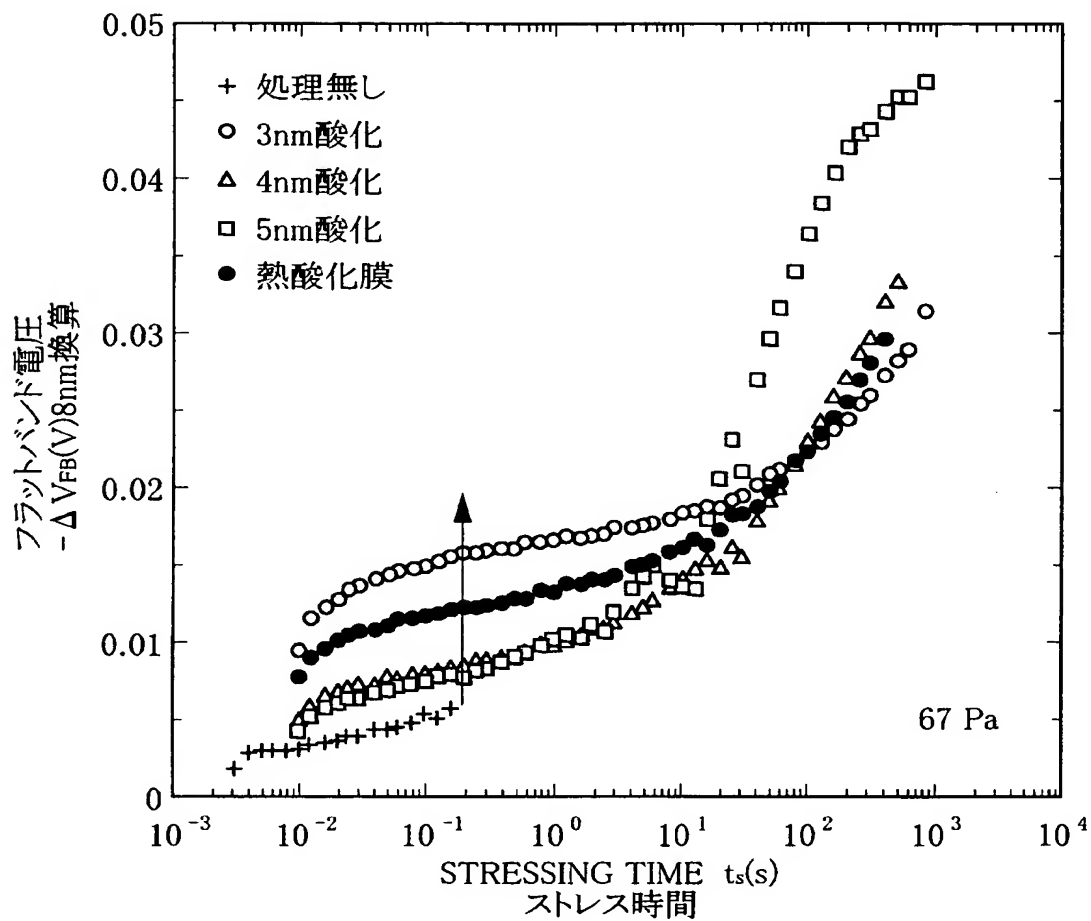
7 8 絶縁膜  
7 9 半導体層  
8 0 絶縁膜  
8 1 導体膜  
8 2 保護膜  
8 3 コンタクトホール  
8 4 画素電極  
8 5 配向膜  
8 6 スペーサ  
8 7 シール接着剤  
8 8 a, 8 8 b 偏光板  
8 9 液晶パネル  
9 0 着色層  
P L プラズマ  
PWL, PWL 1, PWL 2 p ウェル  
NWL, NWL 1, NWL 2 n ウェル  
WL ウェル  
DNWL 埋込領域  
A 1 薄膜形成領域  
A 2 厚膜形成領域  
A 3 分離領域  
MCA メモリセルアレイ  
PR 1 レジストパターン  
Q p, Q p 1, Q p x p チャネル型のMIS・FET  
Q n, Q n 1, Q n x n チャネル型のMIS・FET  
Q L TFT  
MC, MC 1, MC 2, MC 3 メモリセル  
C 1 MISキャパシタ  
C 2 MIMキャパシタ

TH 1 ~ TH 4 スルーホール

【書類名】 図面

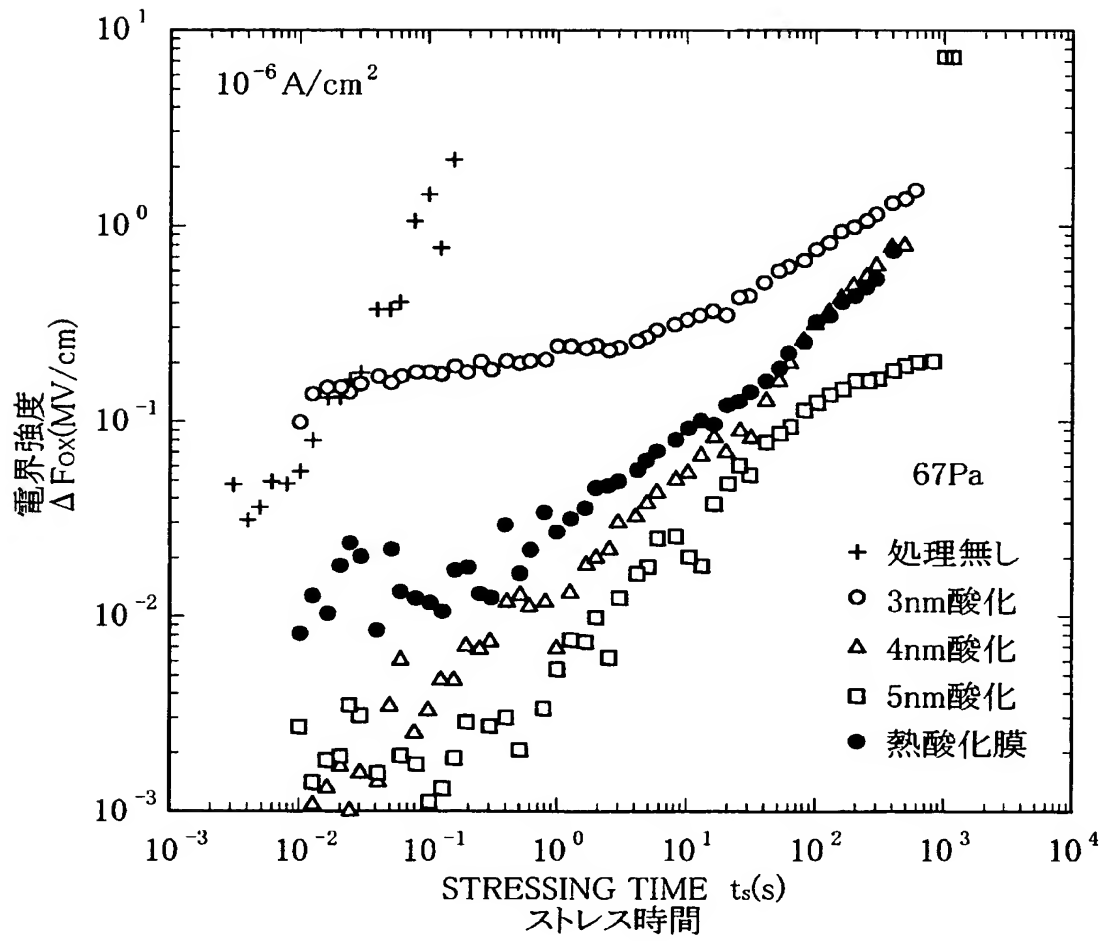
【図 1】

図 1



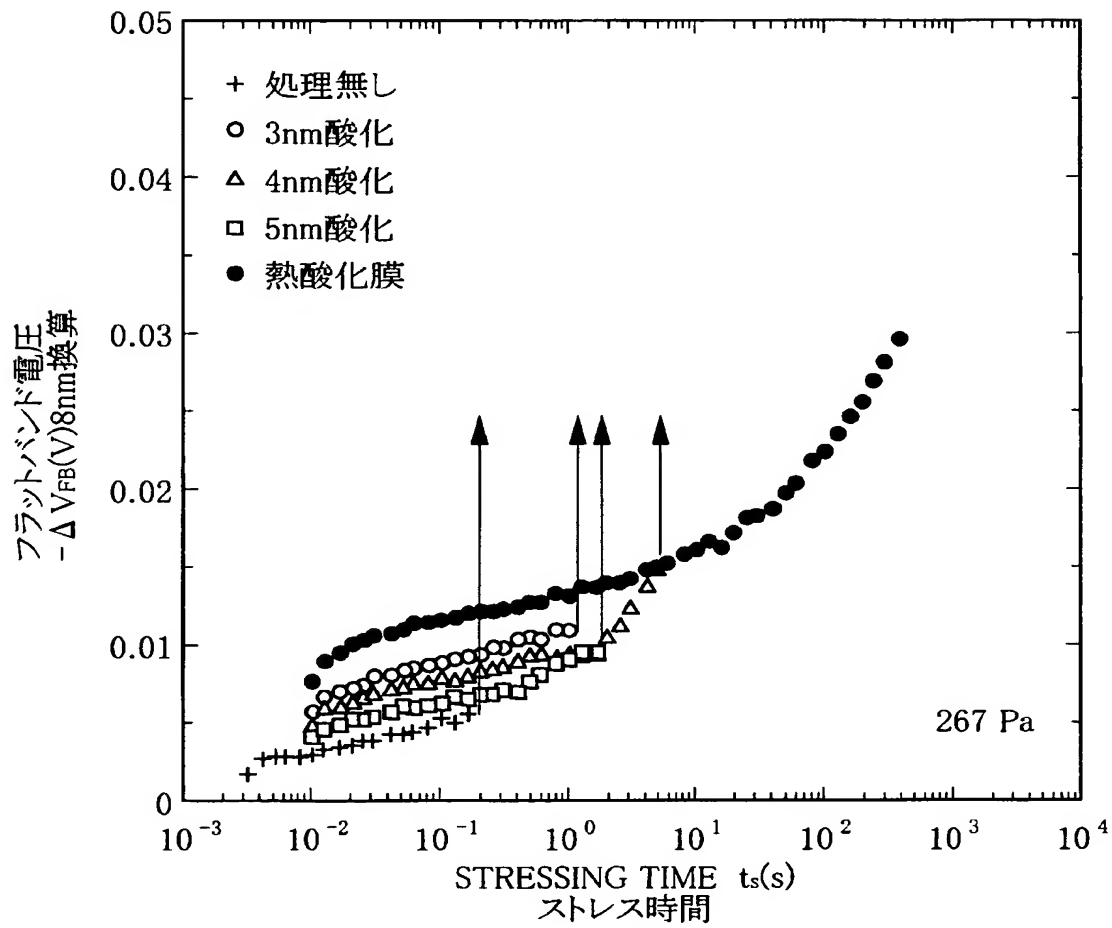
【図2】

図 2



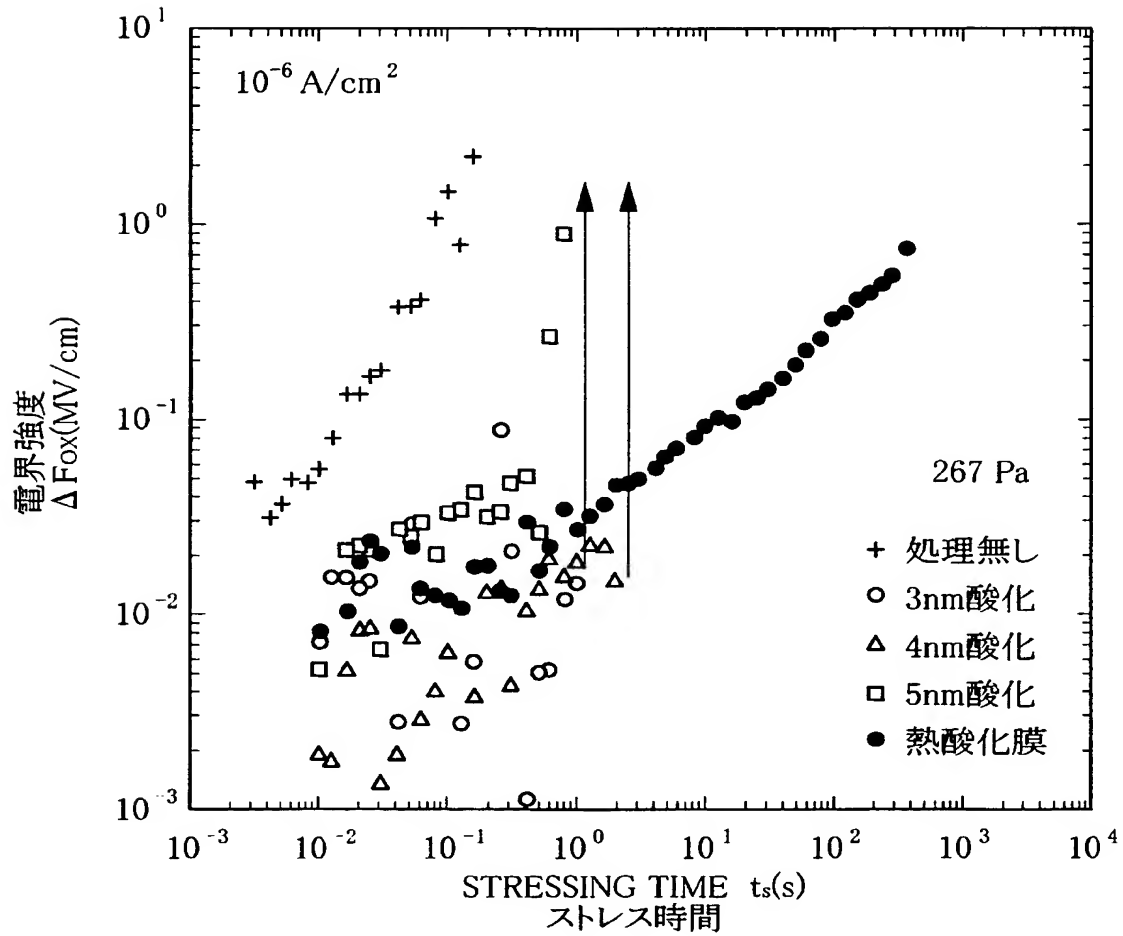
【図 3】

図 3



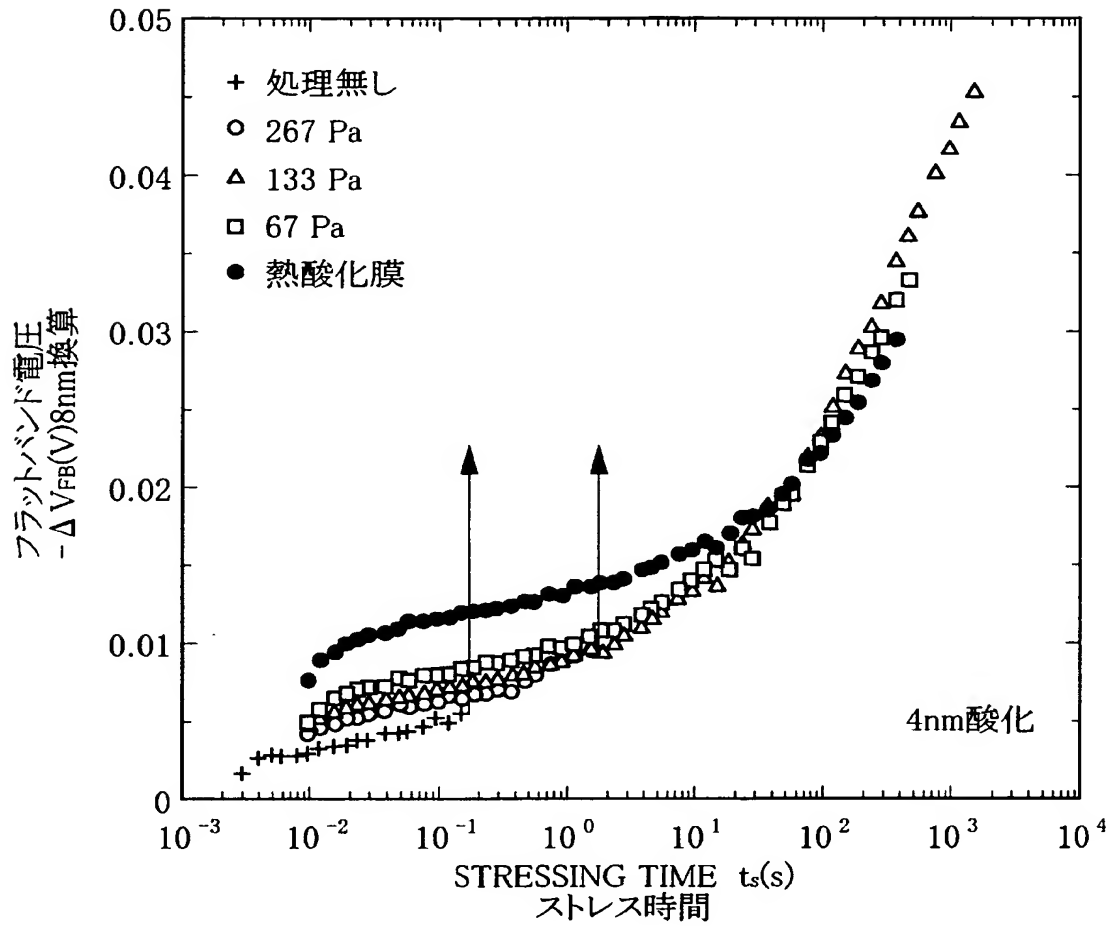
【図 4】

図 4



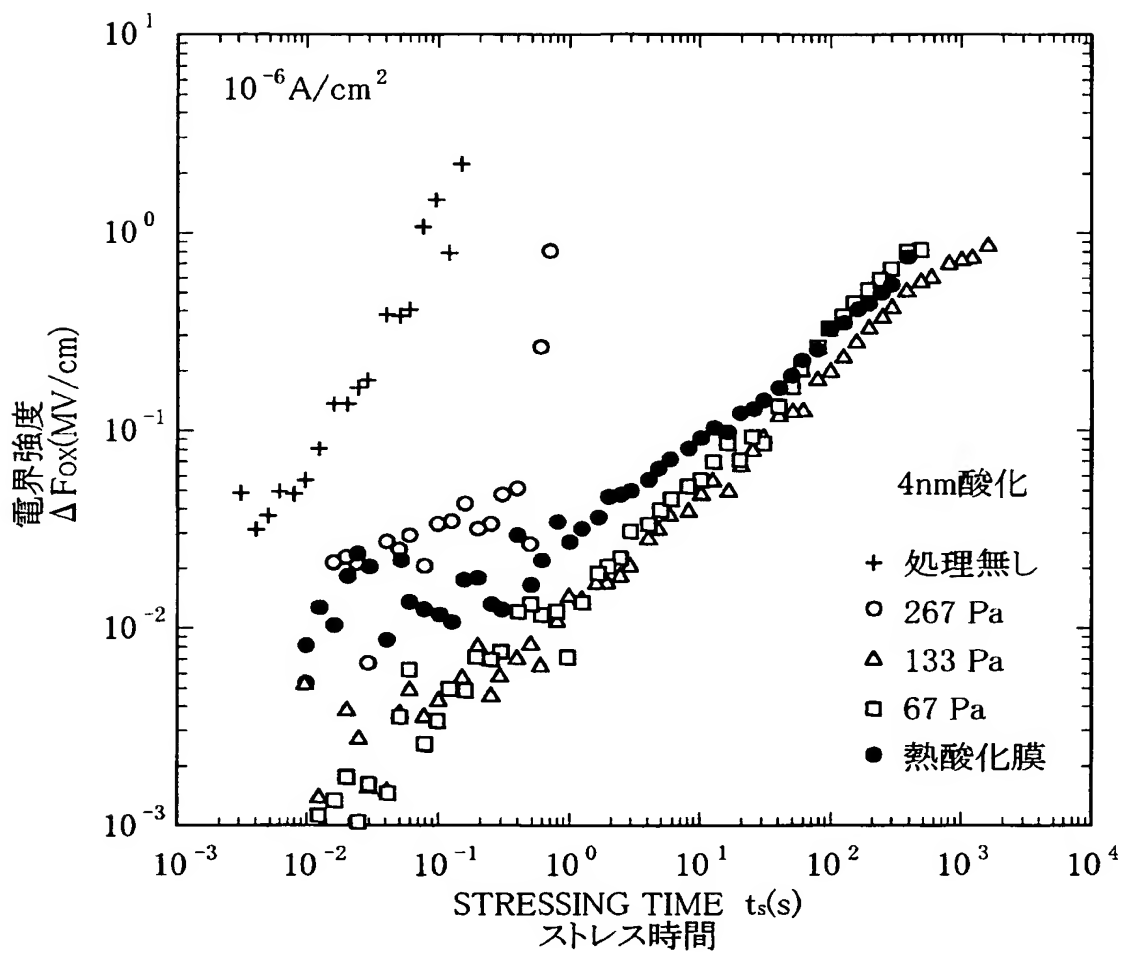
【図 5】

図 5

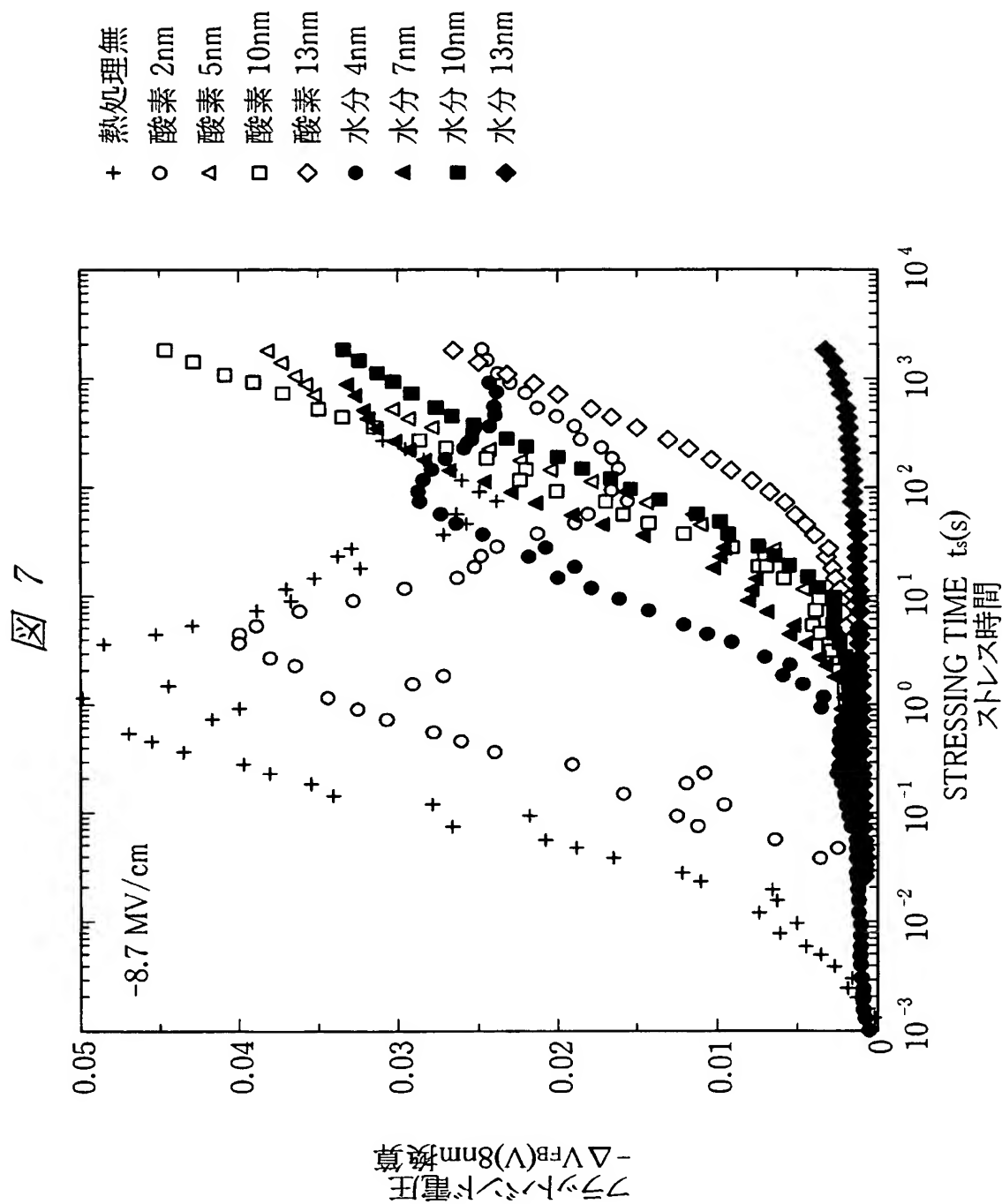


【図 6】

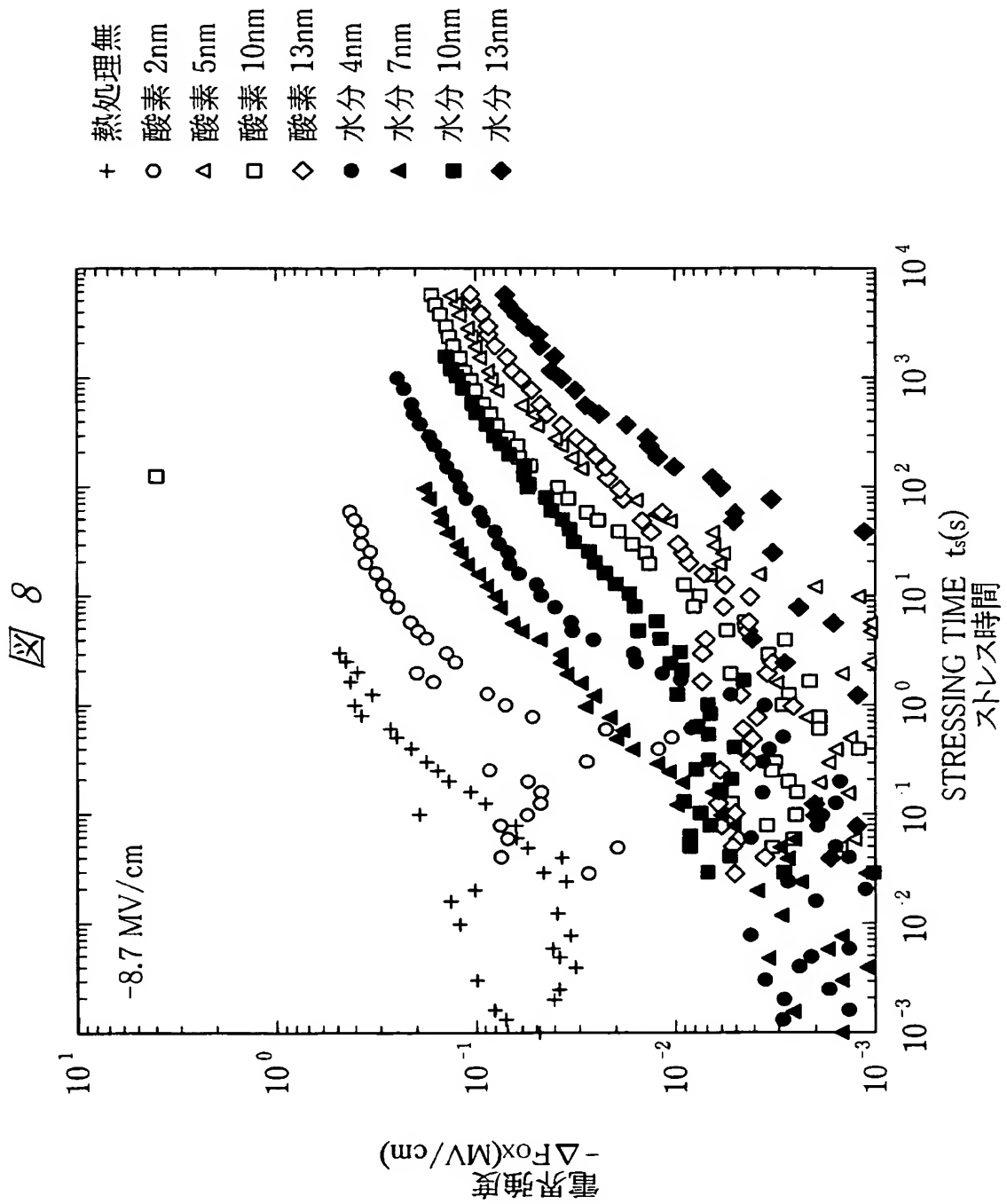
図 6



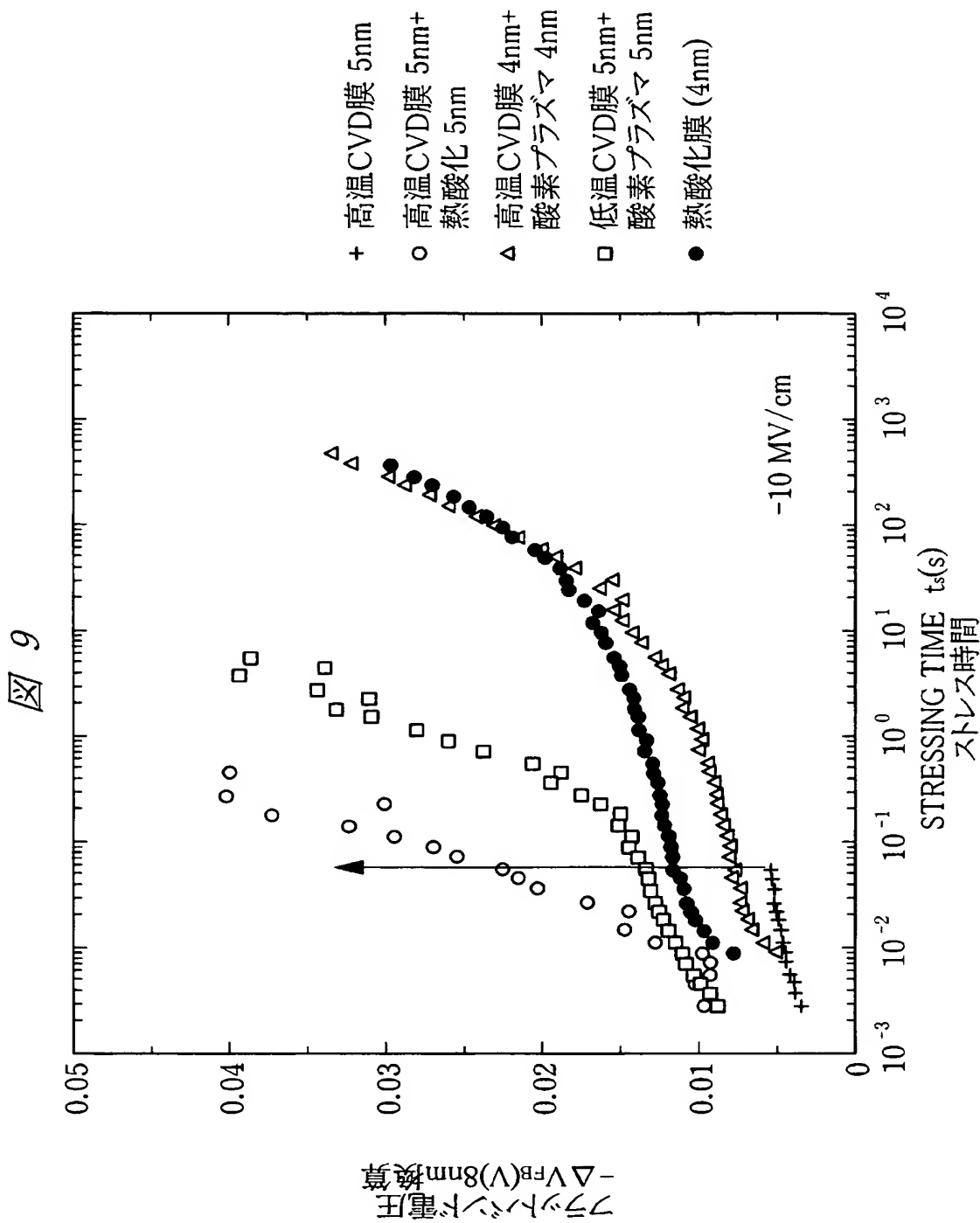
【図7】



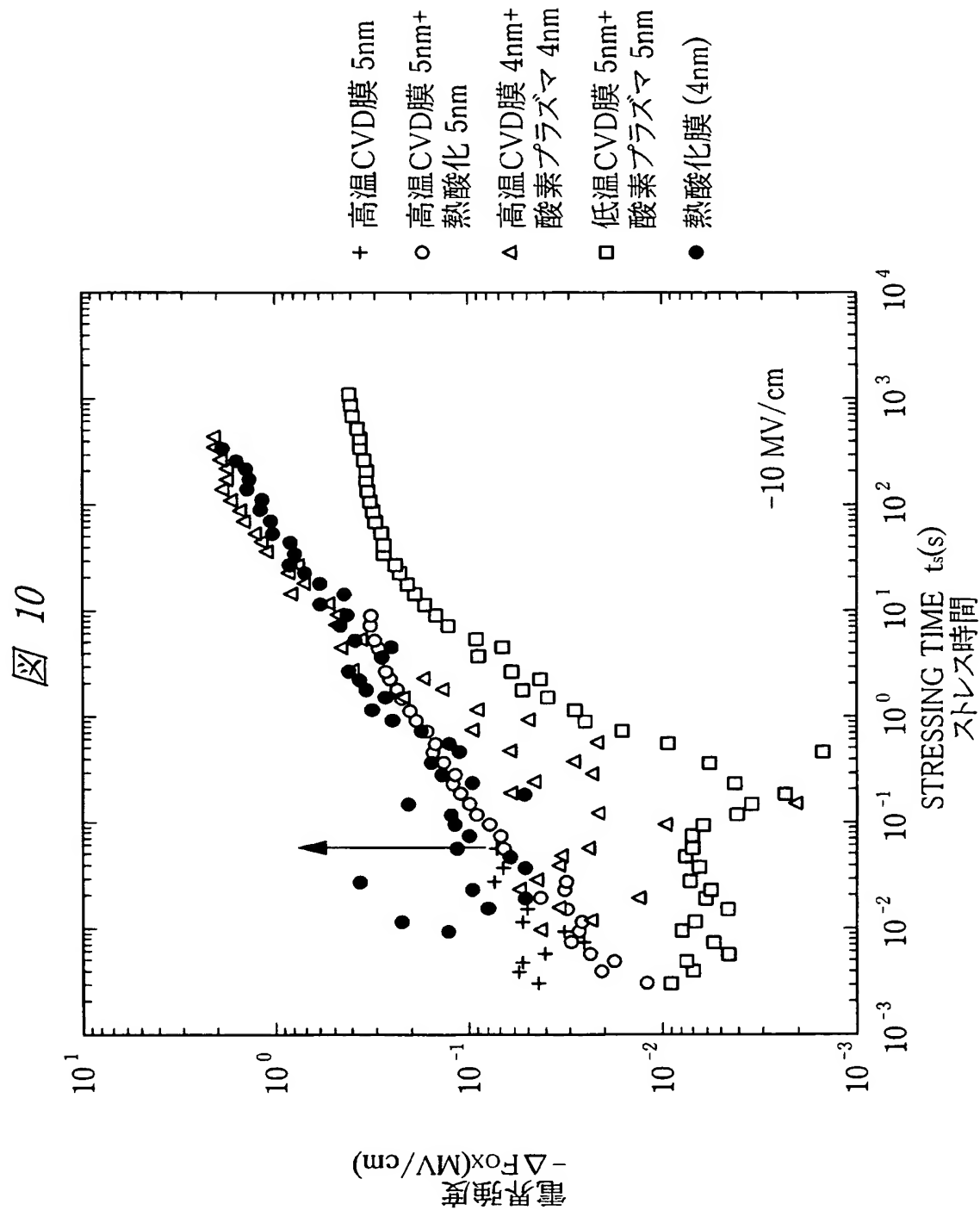
【図 8】



【図 9】

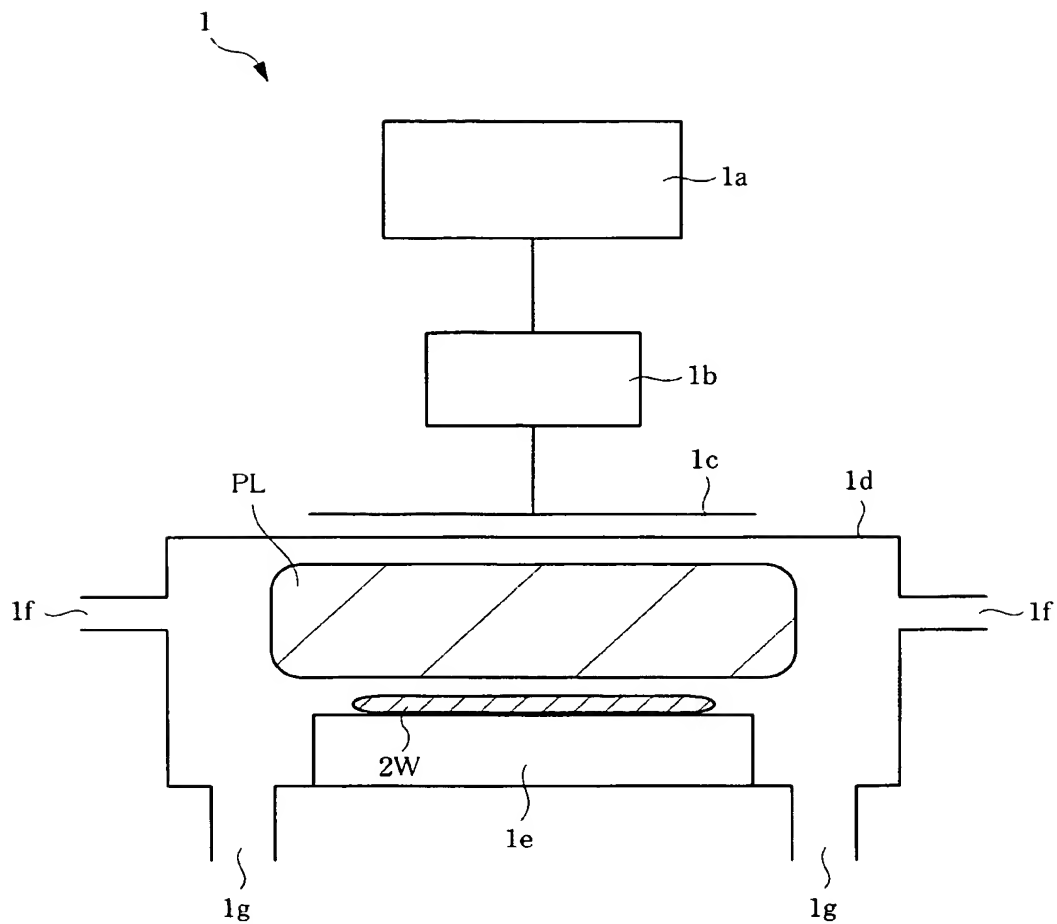


【図 10】

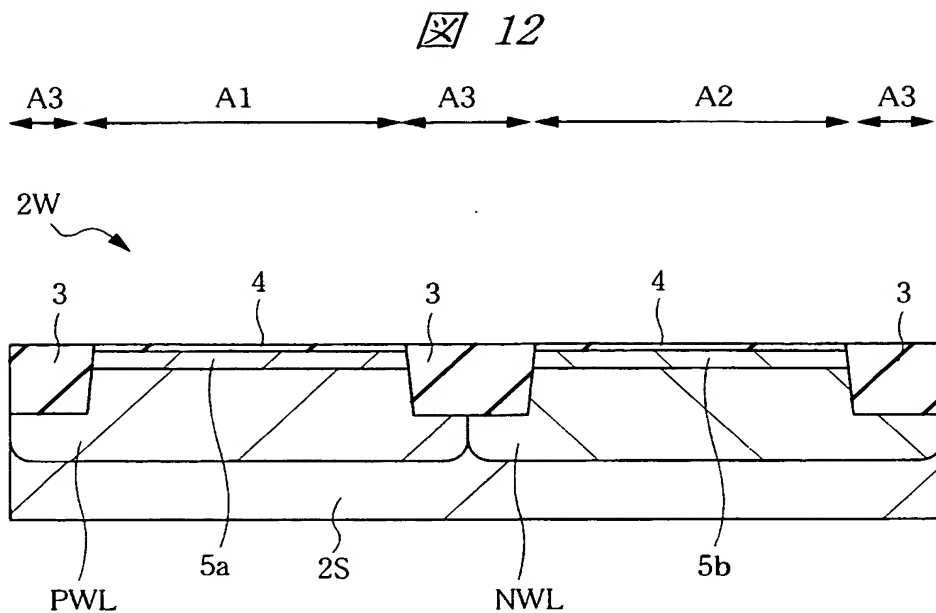


【図 11】

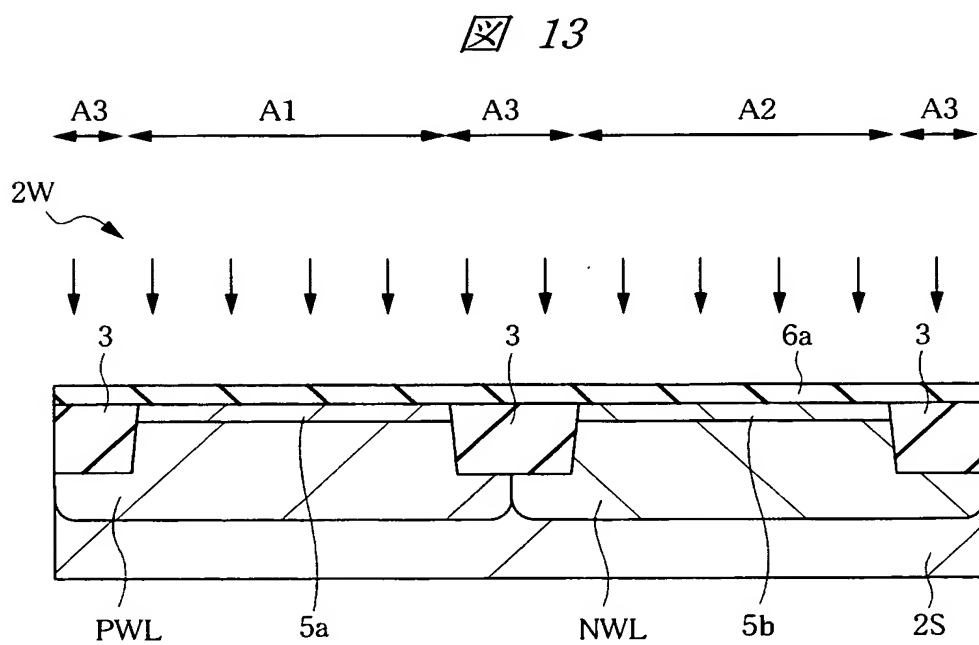
図 11



【図 12】



【図 13】



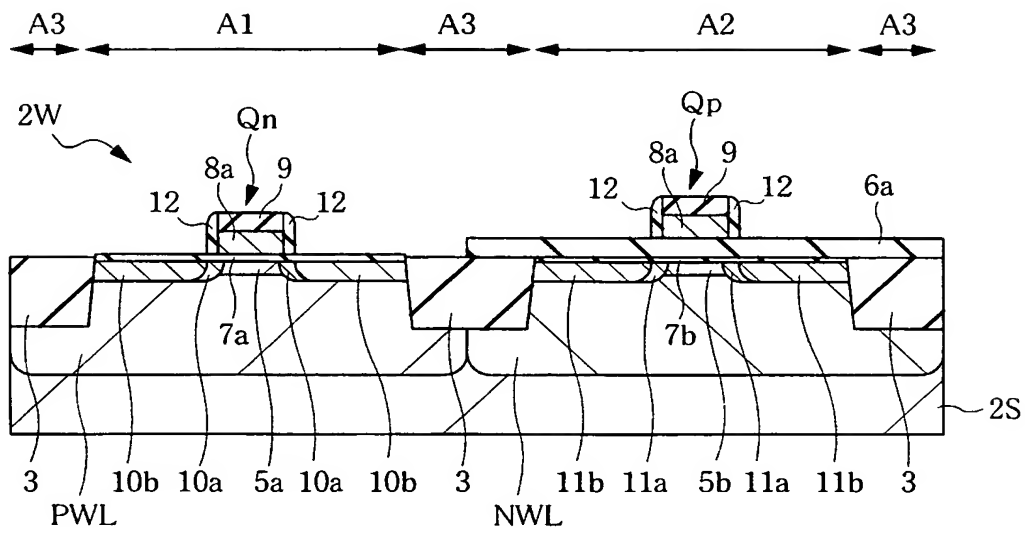
2W : 半導体ウェハ  
2S : 半導体基板

3 : 素子分離部  
6a : 絶縁膜



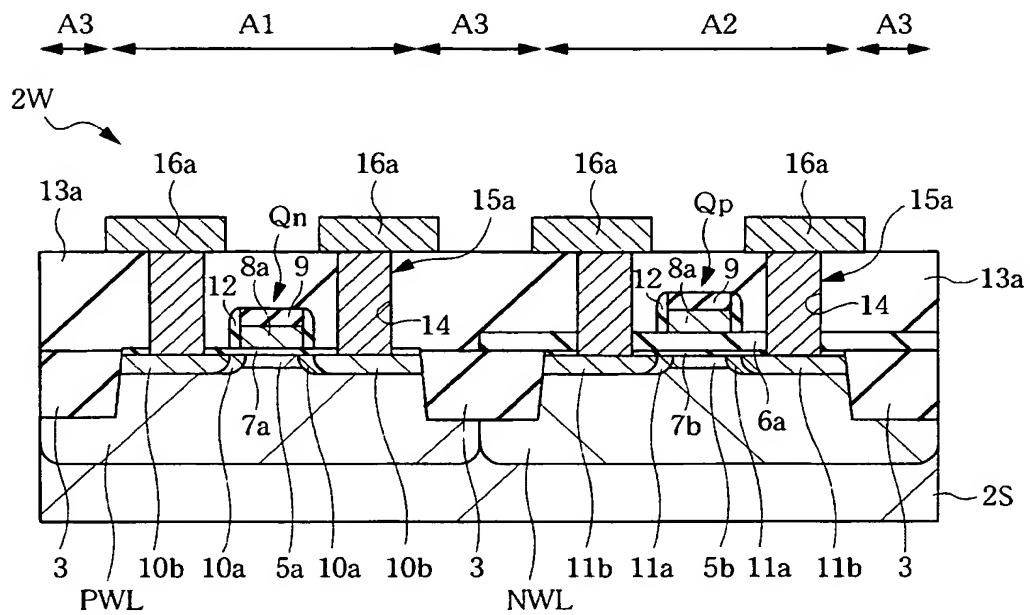
【図 16】

図 16

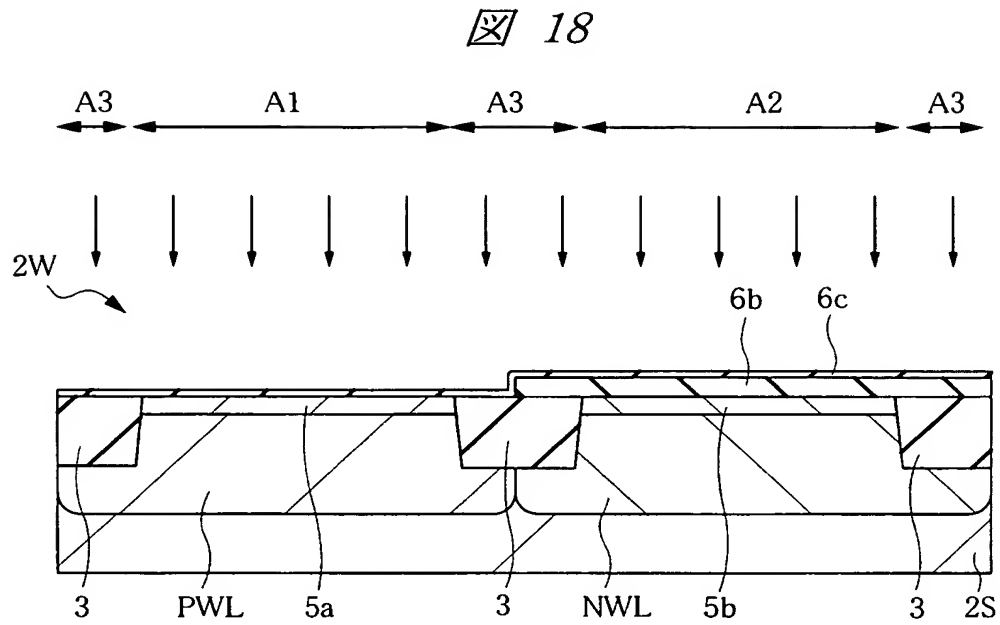


【図 17】

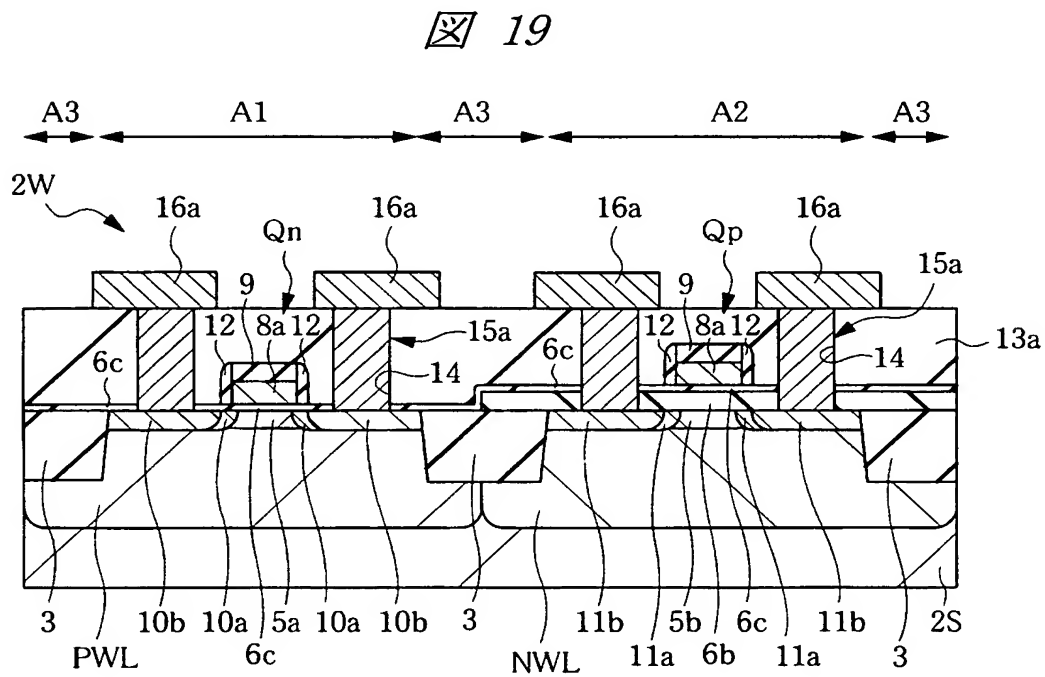
図 17



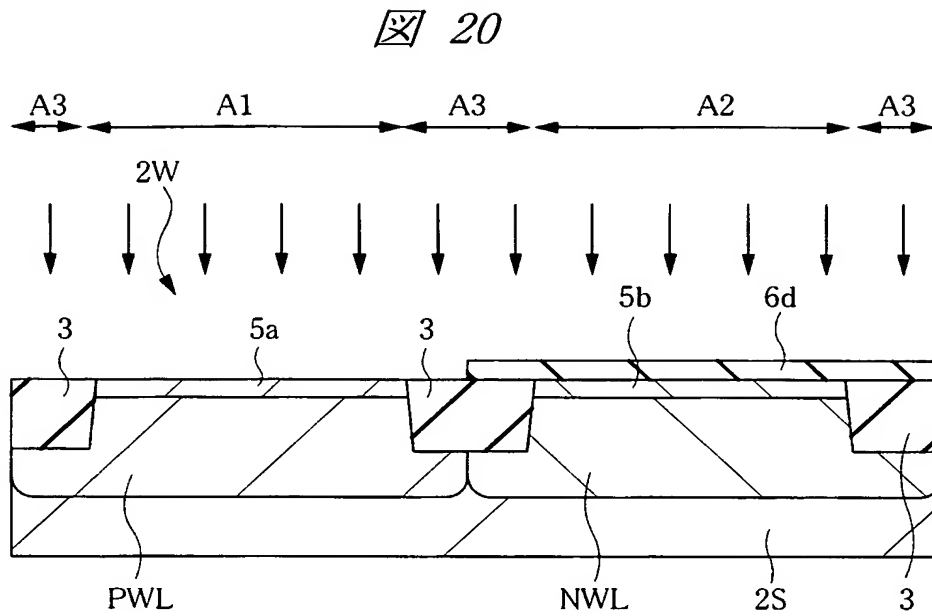
【図 18】



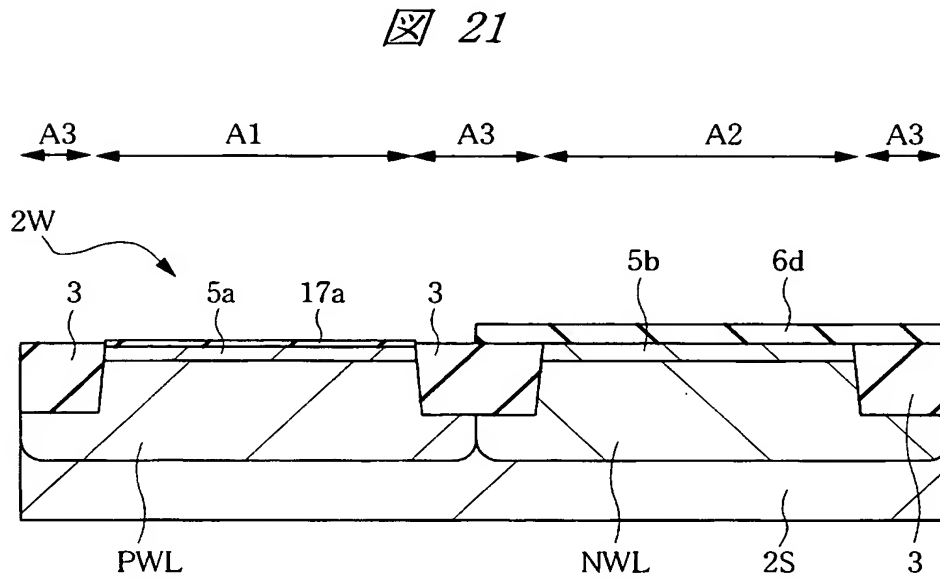
【図 19】



【図 20】

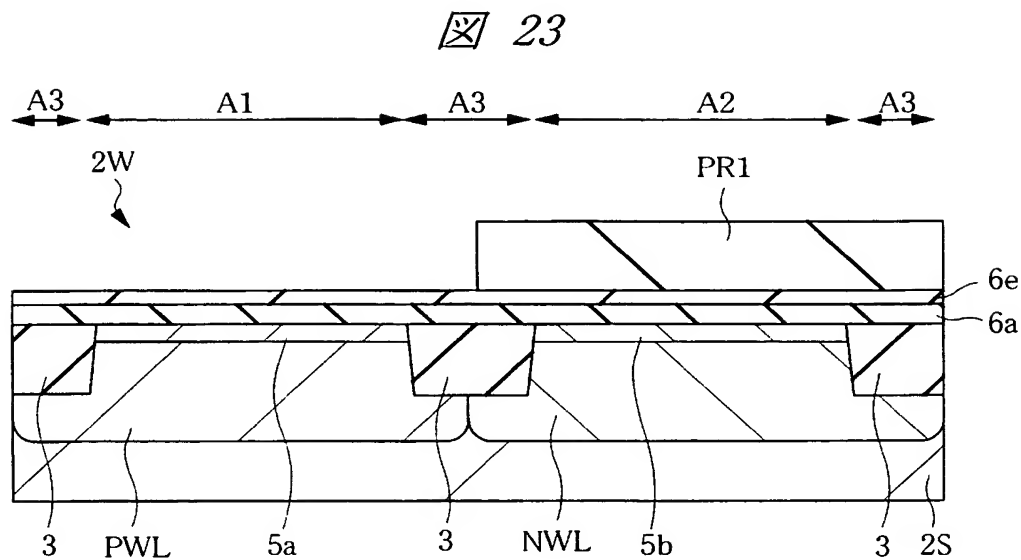


【図 2 1】

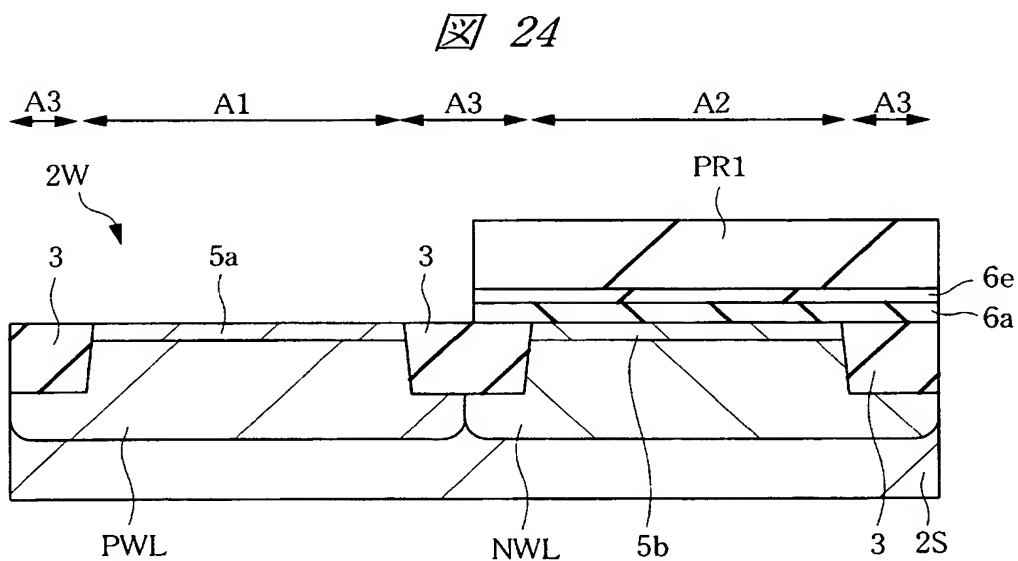




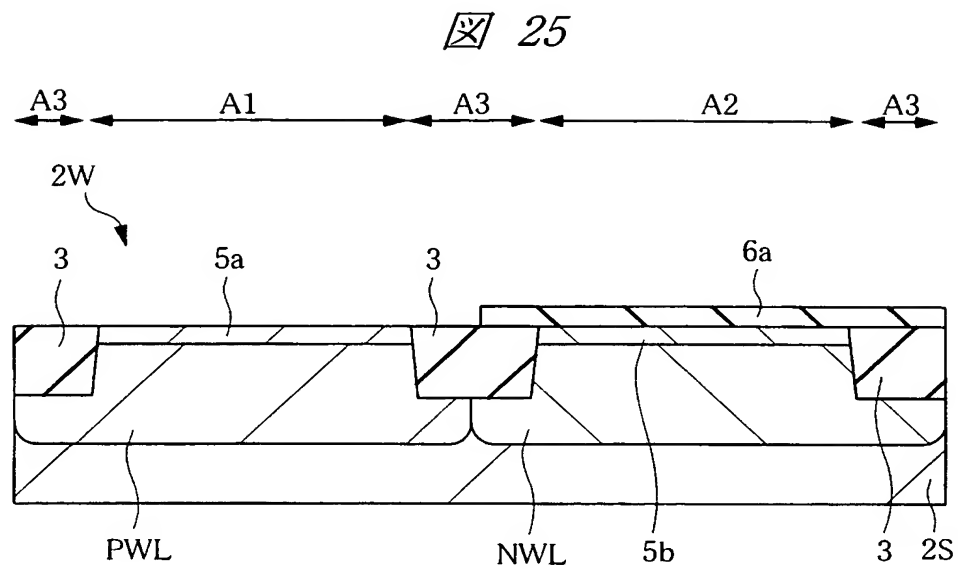
【図 23】



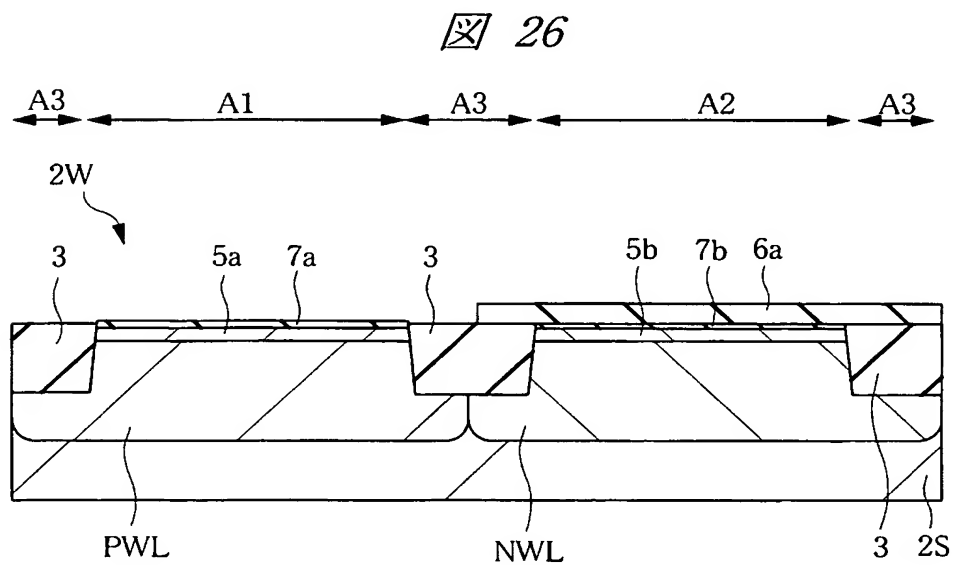
【図 24】



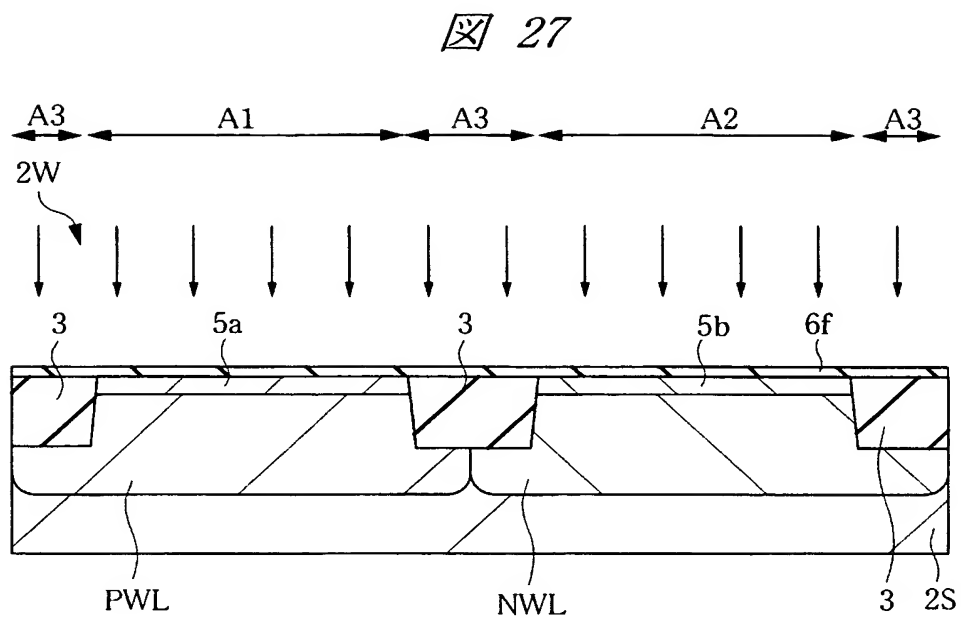
【図 25】



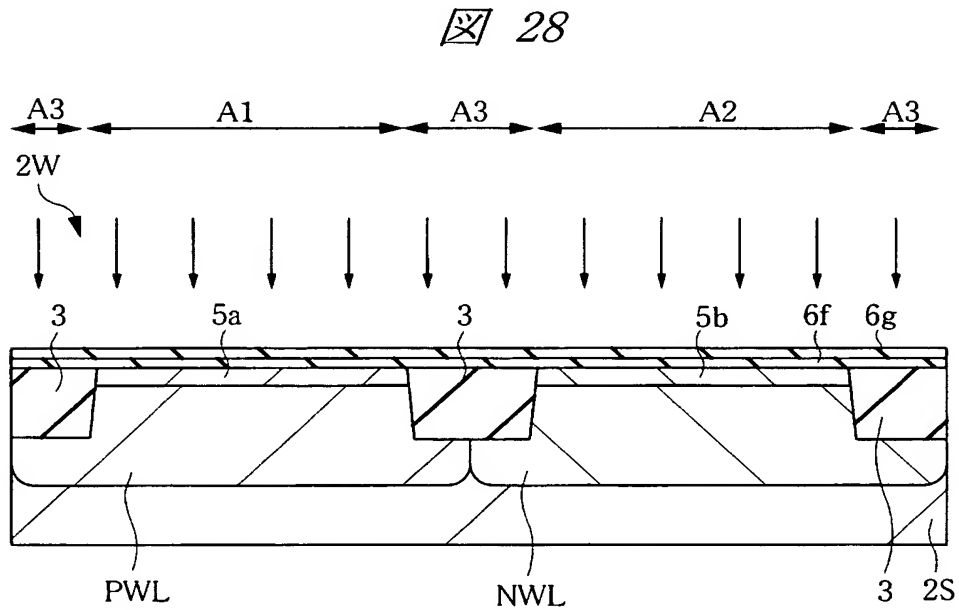
【図 26】



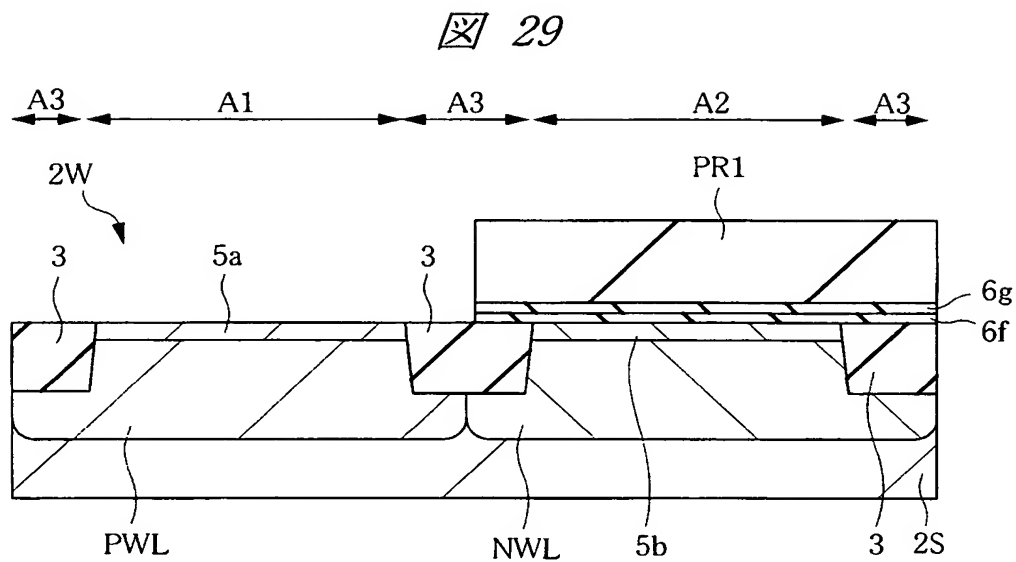
【図 27】



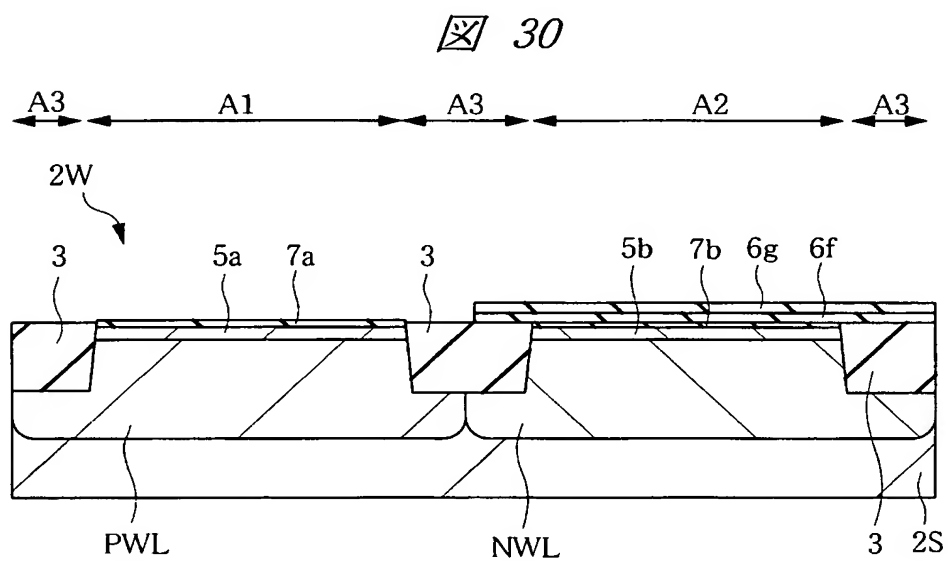
【図 28】



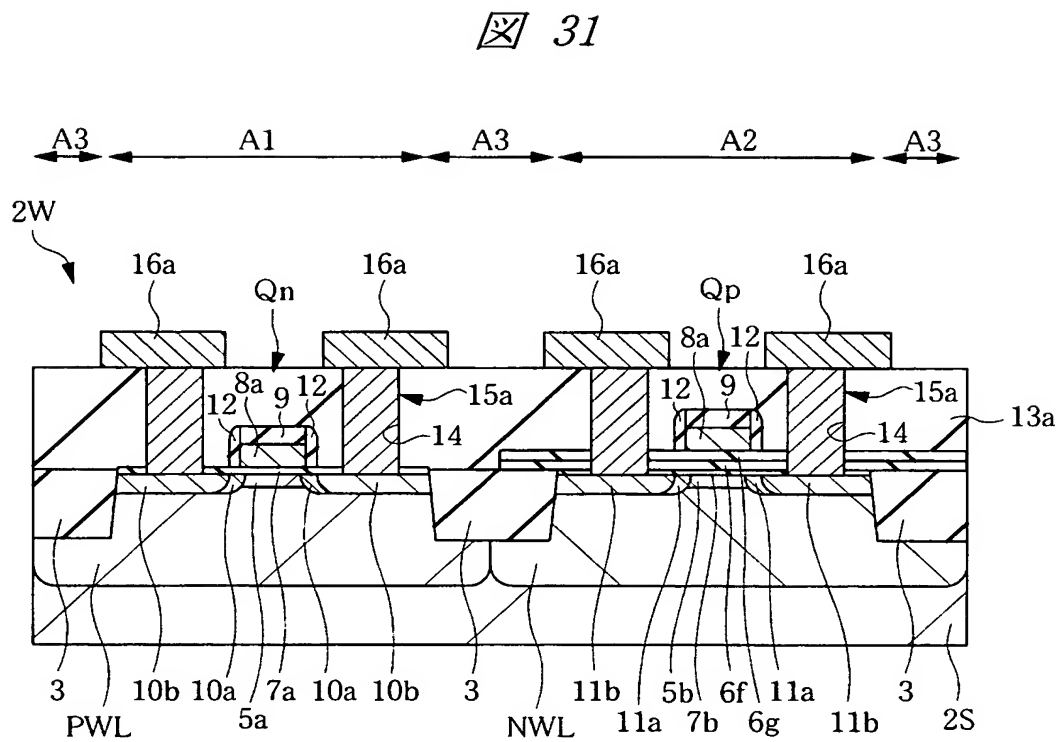
【図 29】



【図 30】

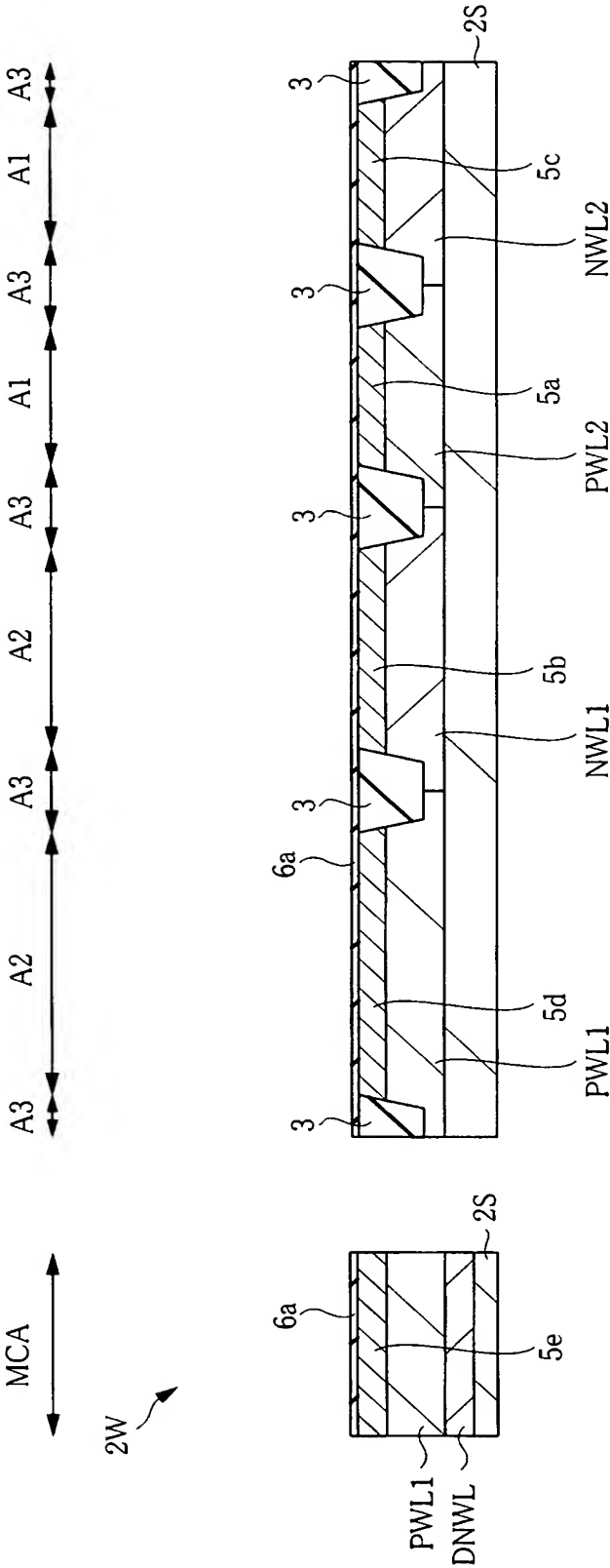


【図 3 1】



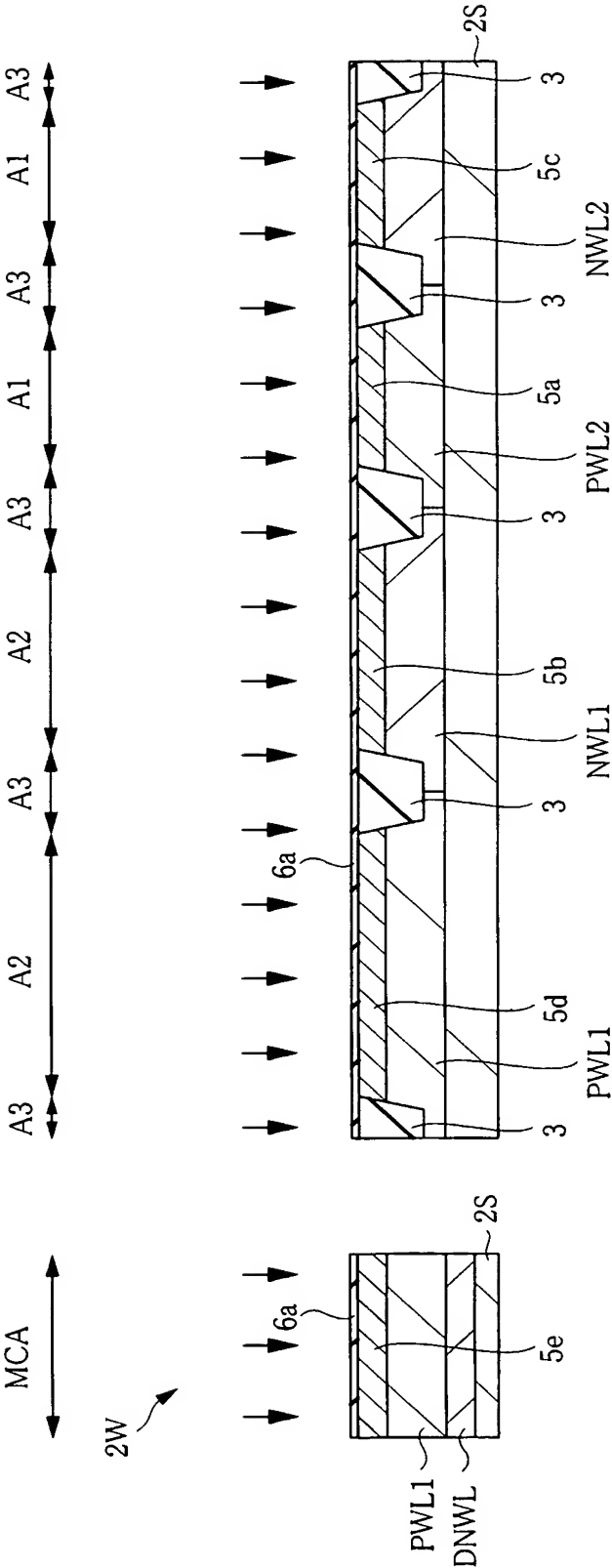
【図 32】

32

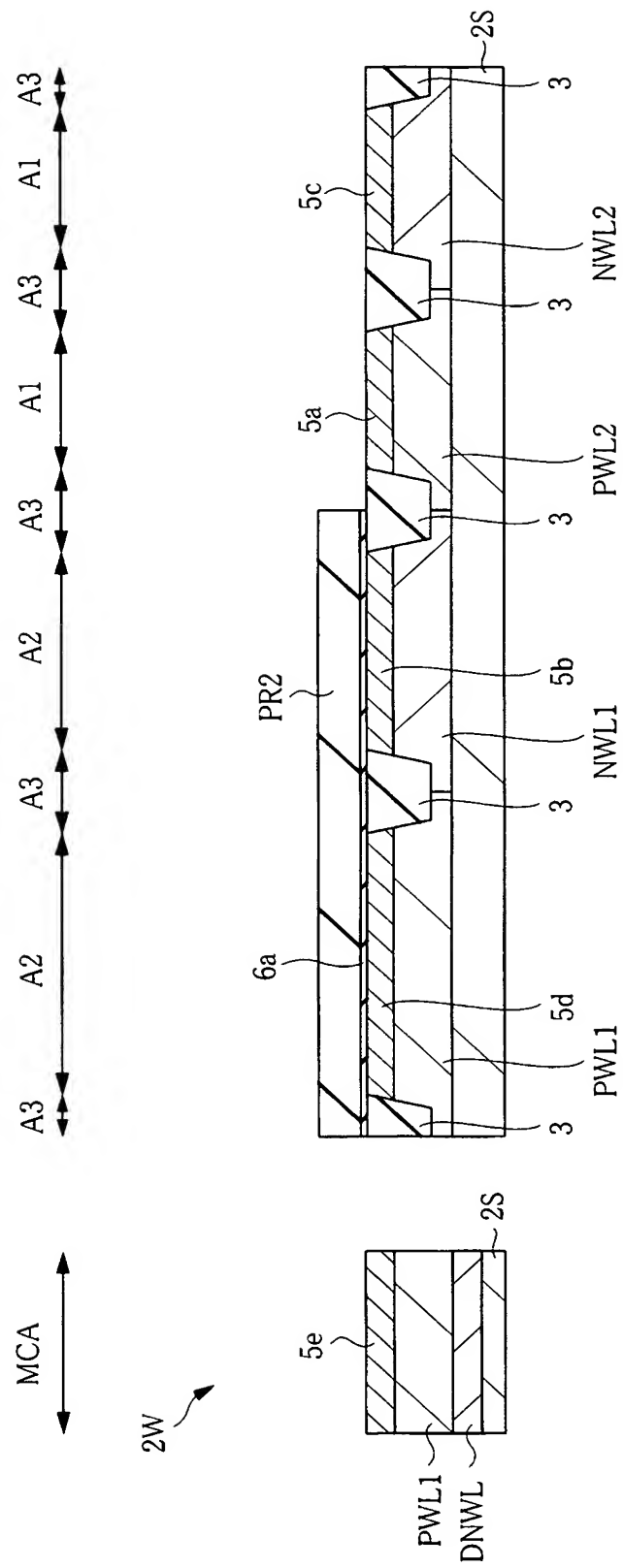


【図 33】

33

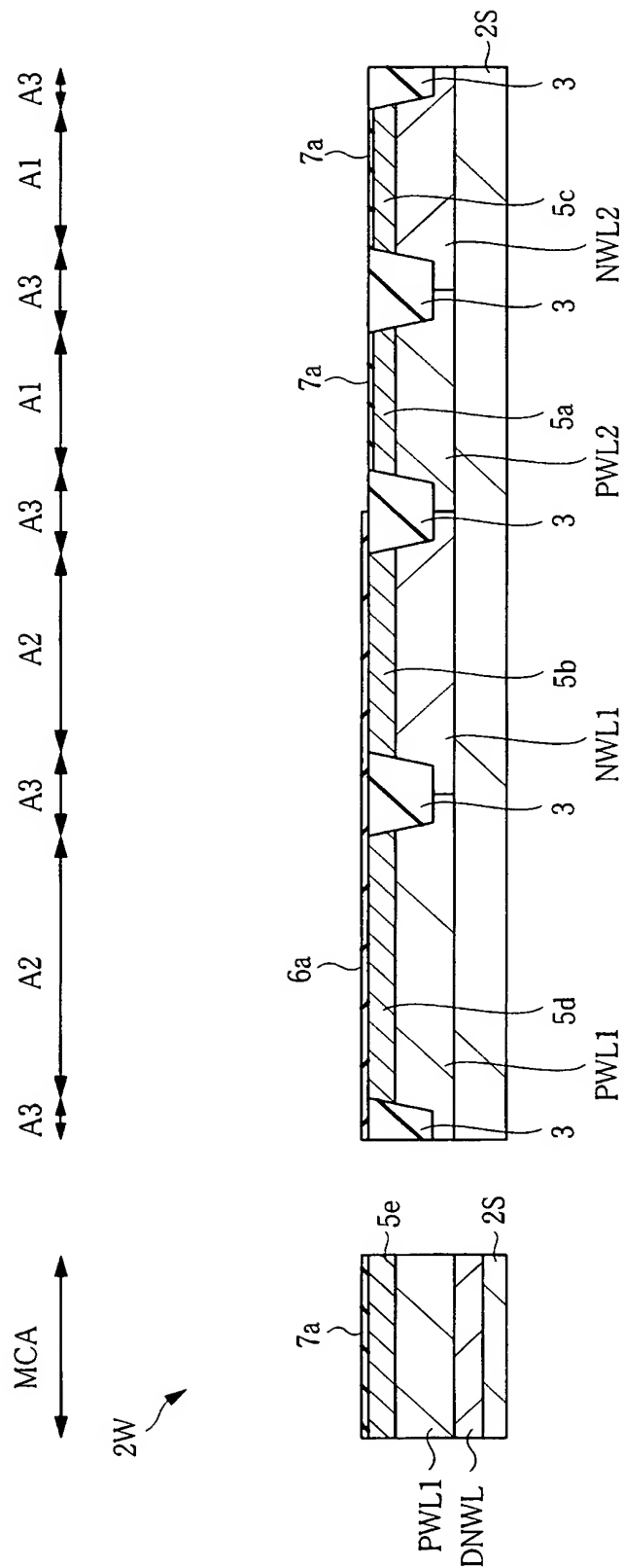


【図 3 4】

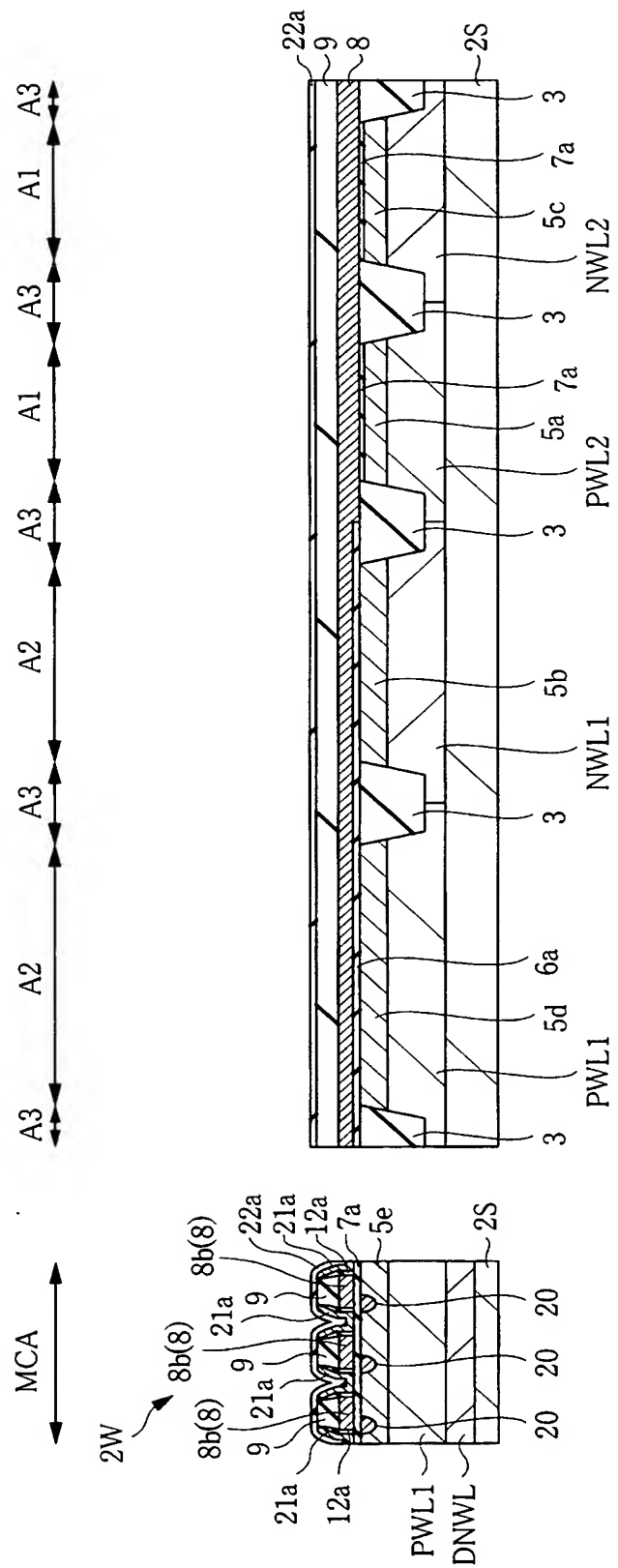


【図 35】

35

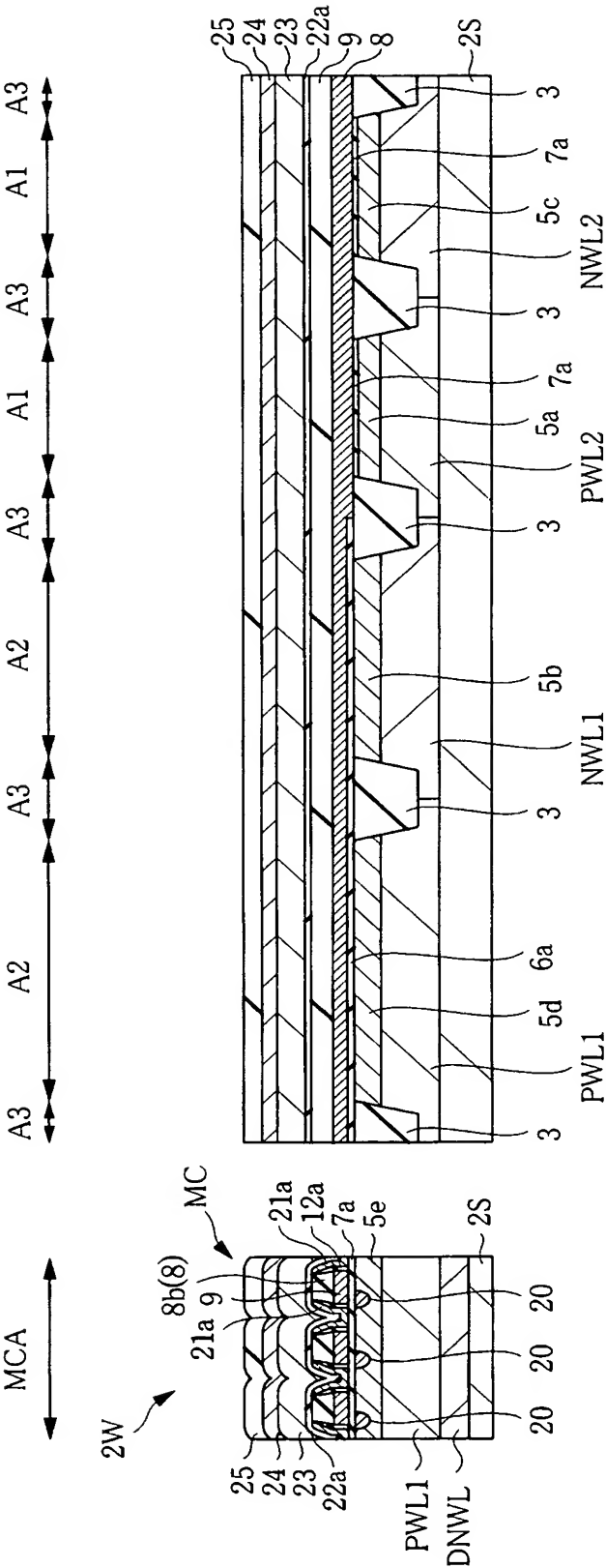


【図 3 6】



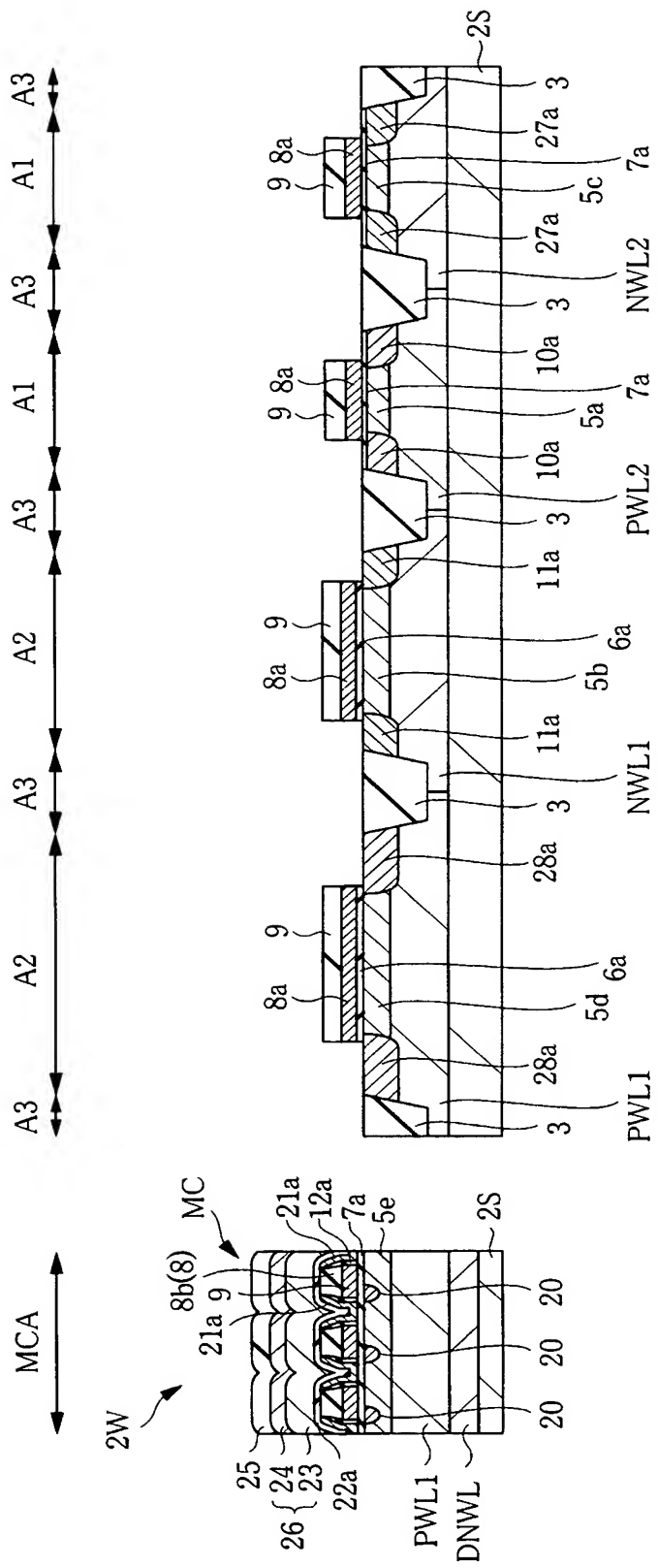
【図 37】

図 37



【図 38】

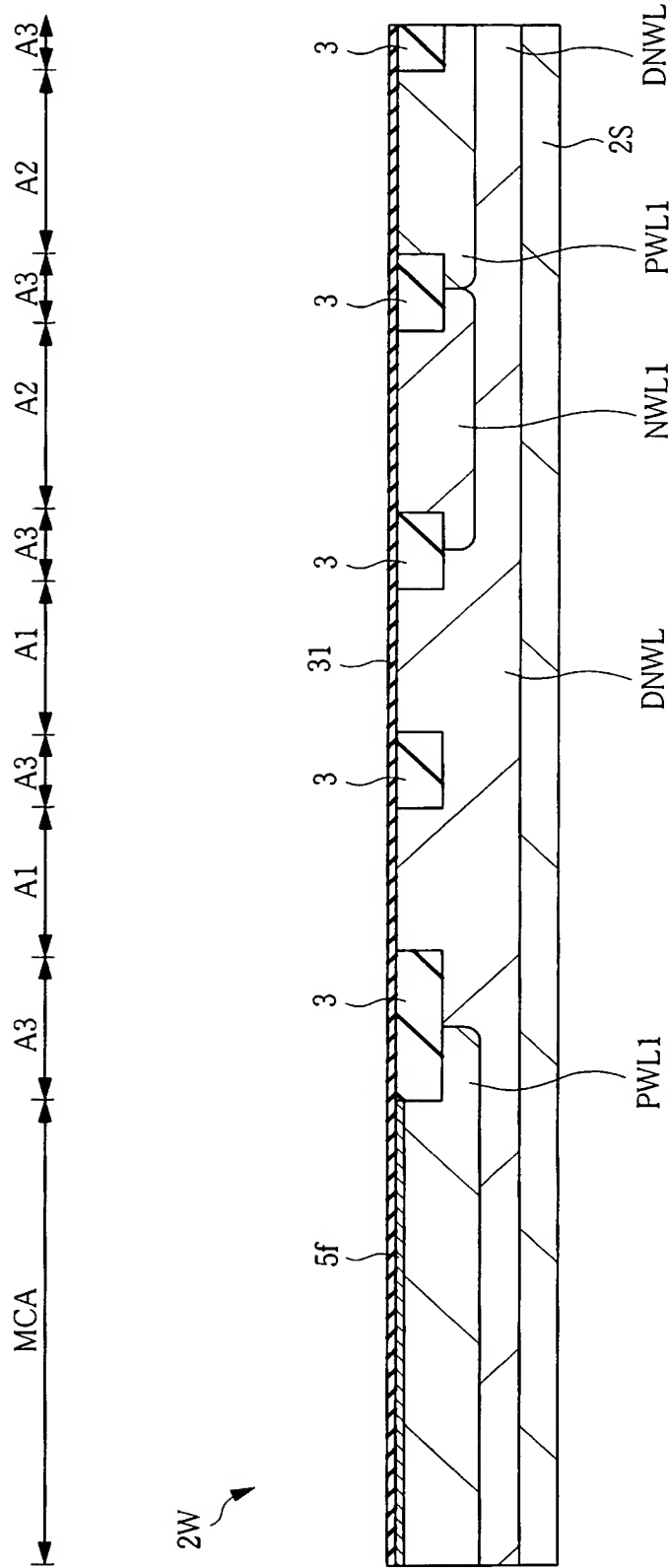
38





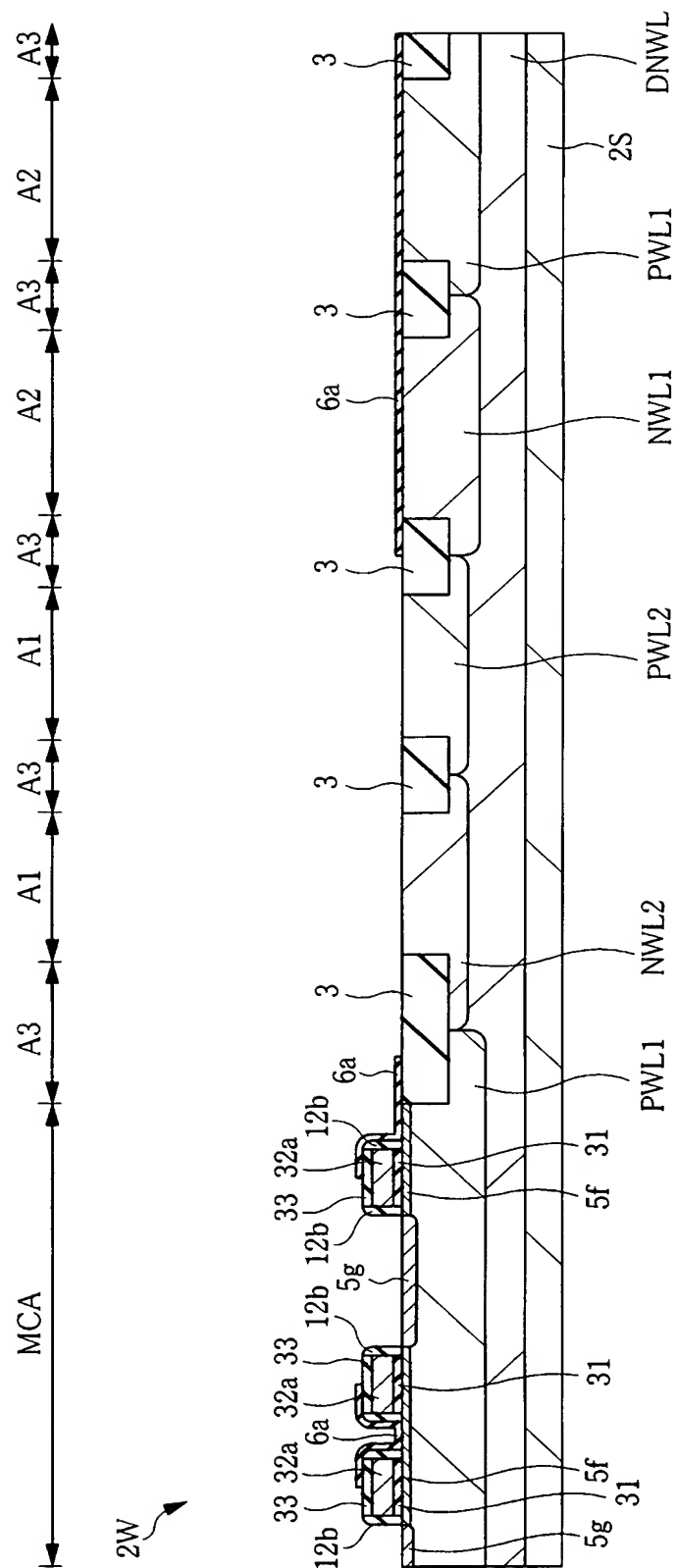
【図 4 0】

図 40





【図 4 2】



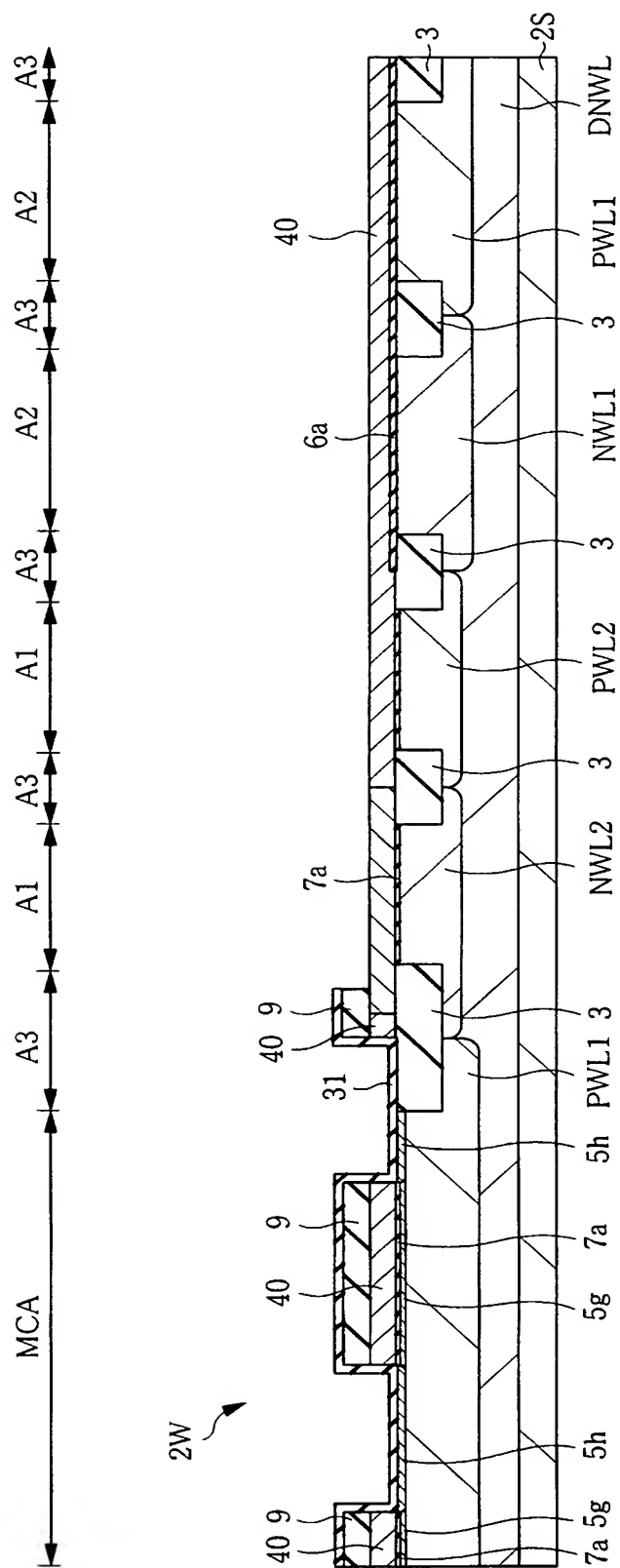




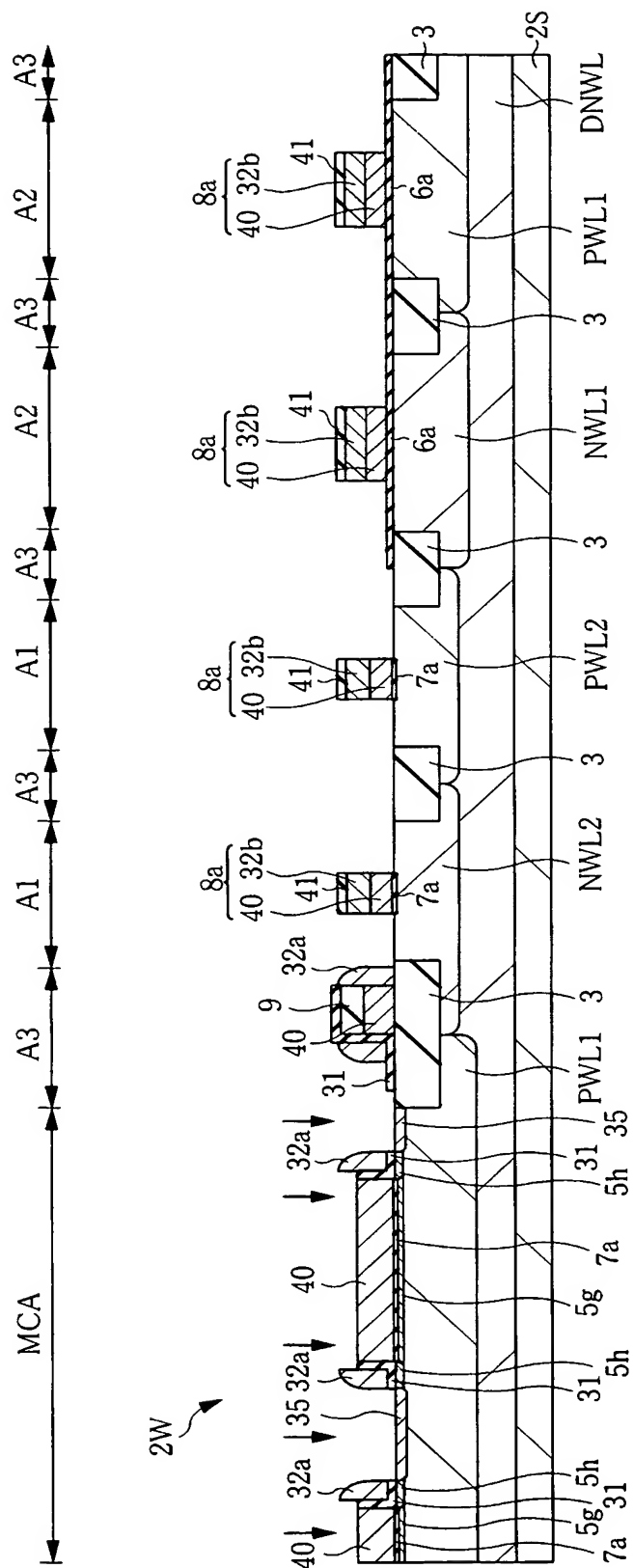
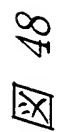




【図 4 7】



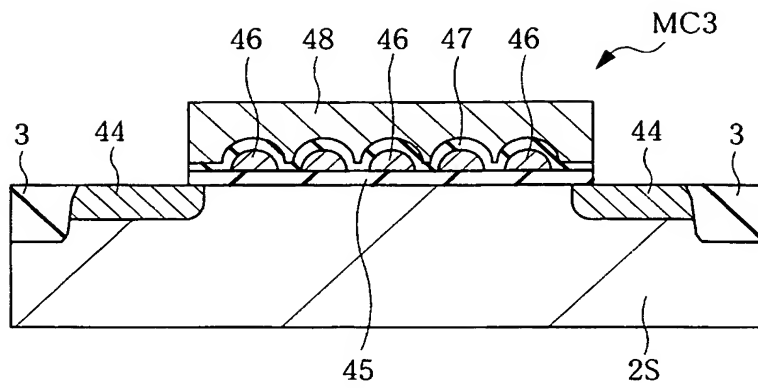
【図 48】





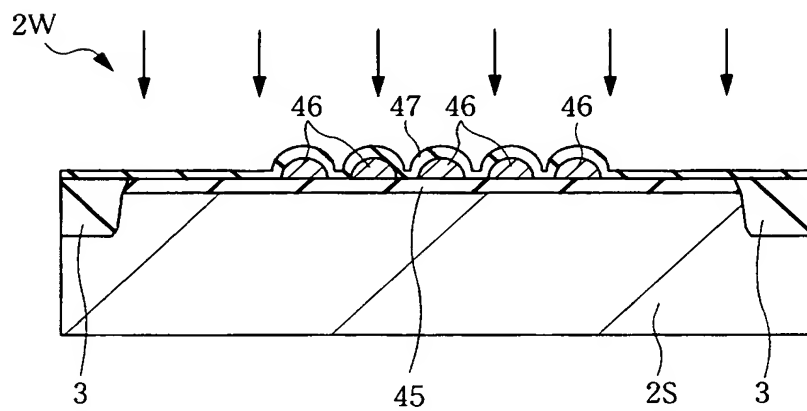
【図 50】

図 50



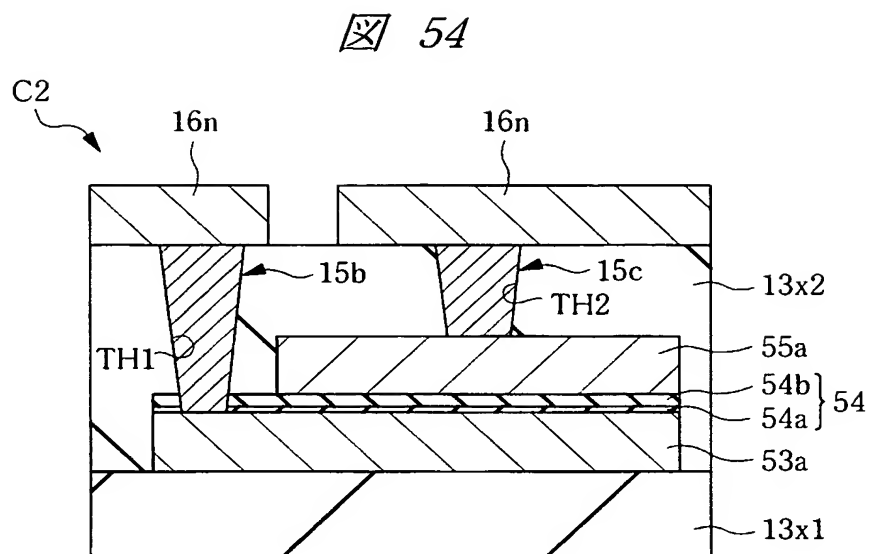
【図 51】

図 51

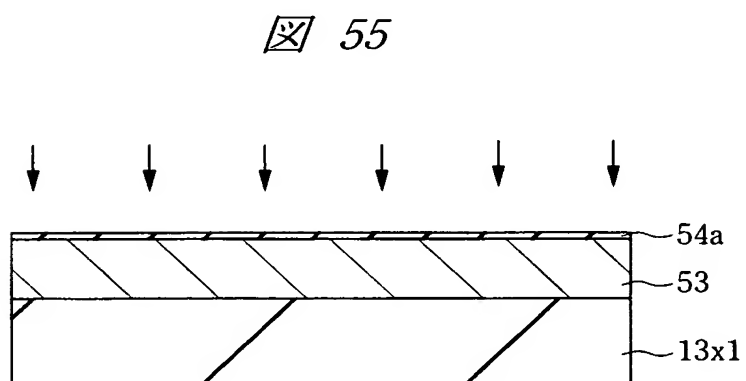




【図 5 4】

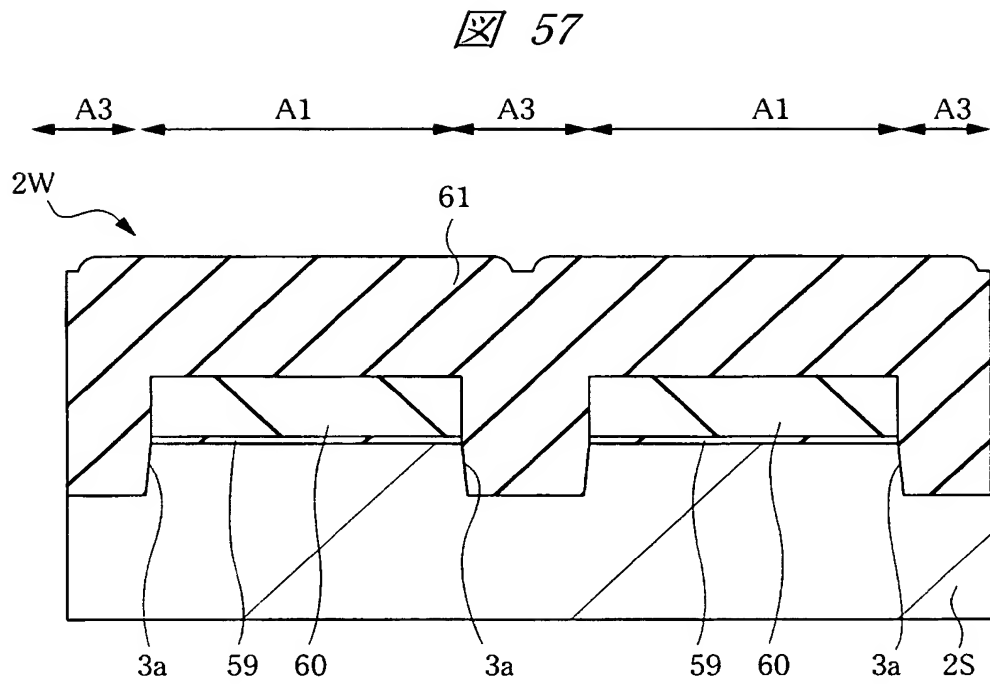


【図 5 5】

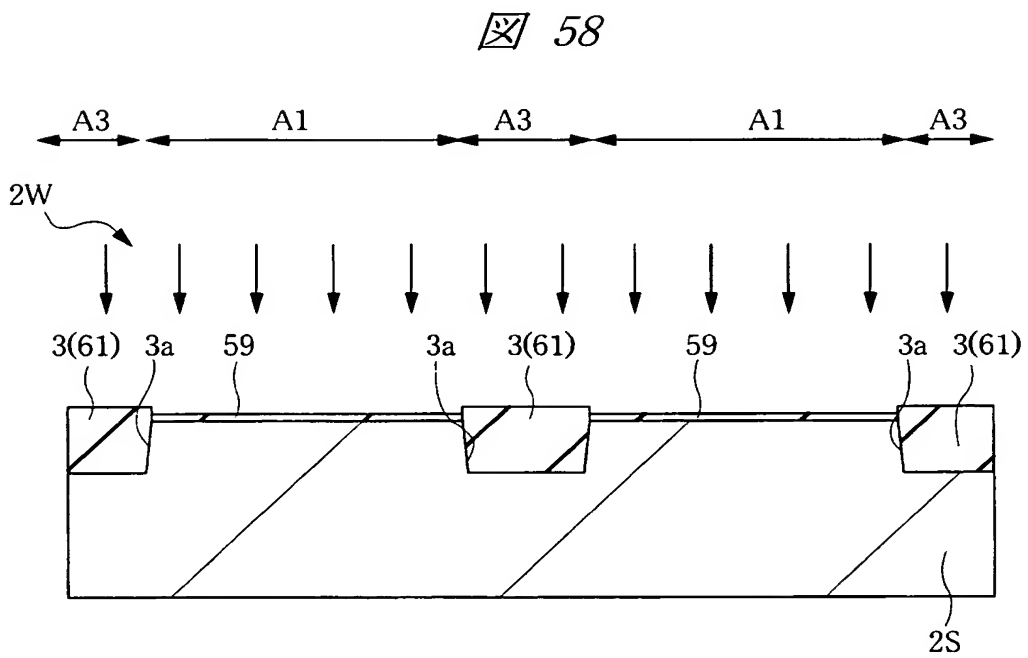




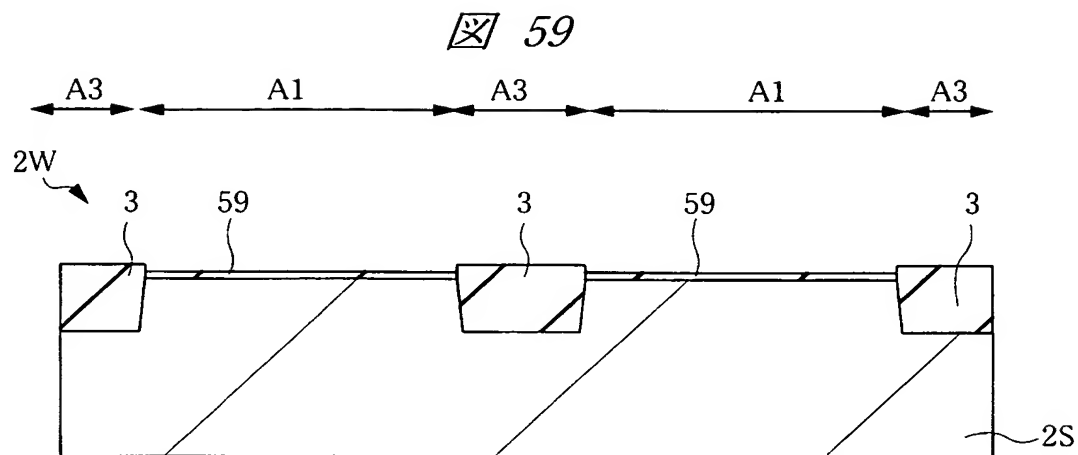
【図 57】



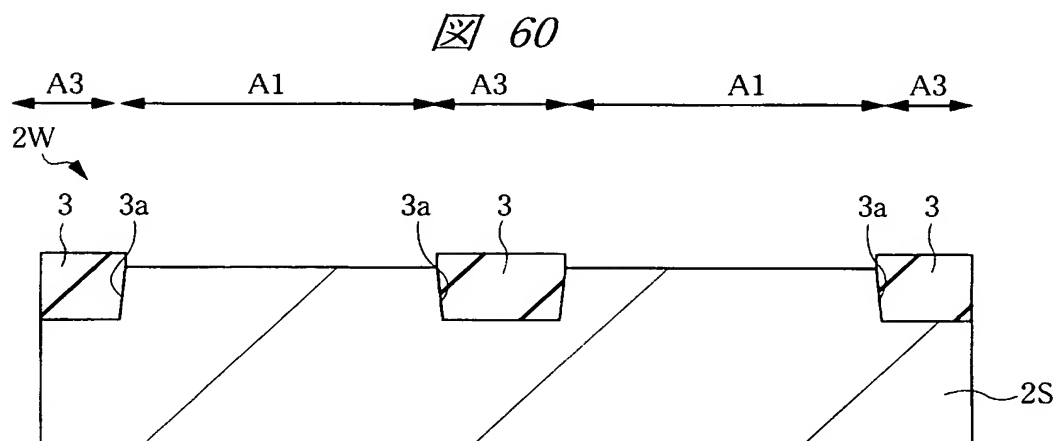
【図 58】



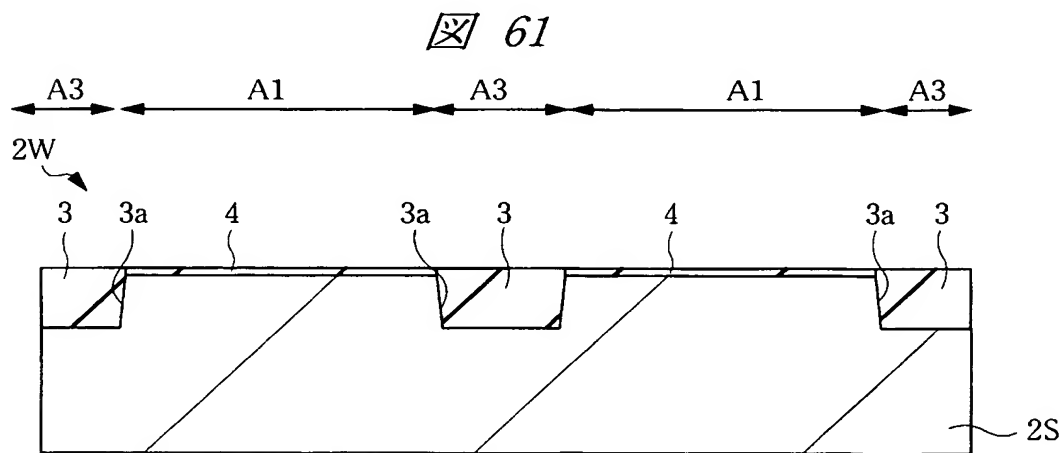
【図 59】



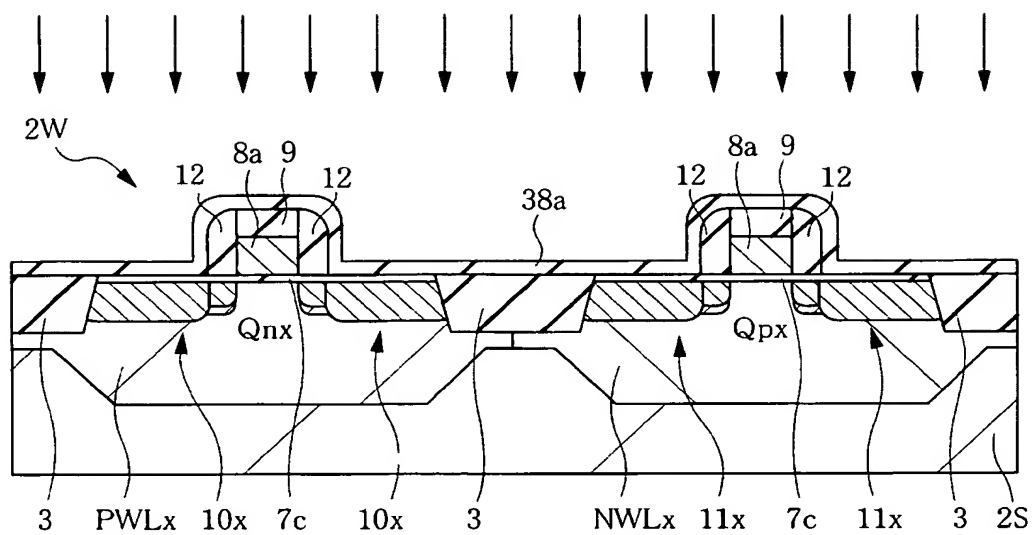
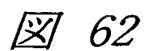
【図 60】



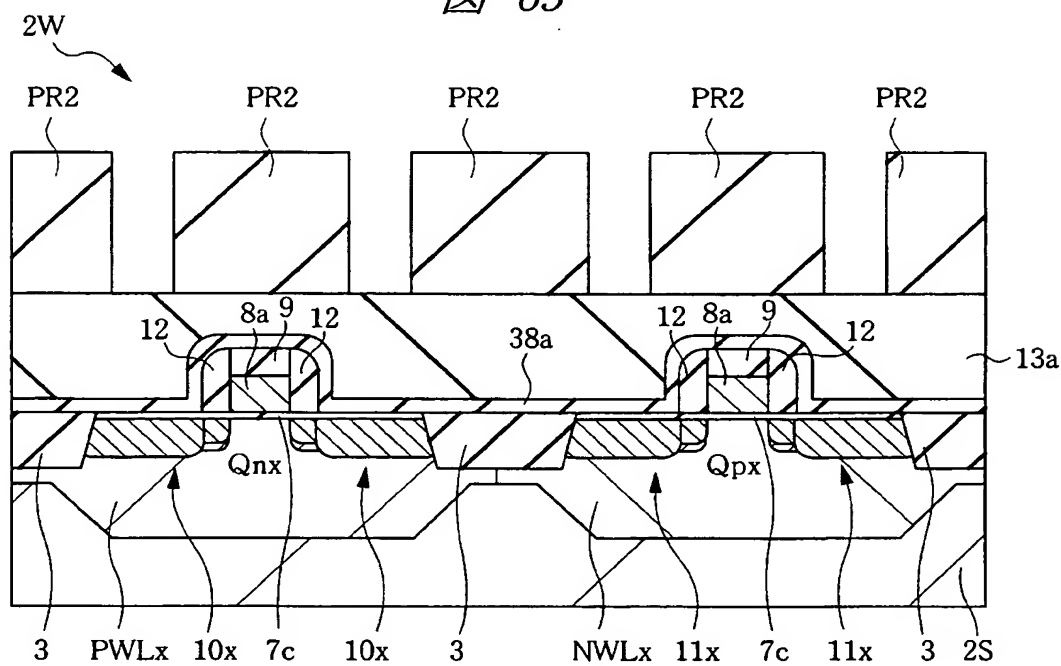
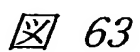
【図 61】



【図 6 2】

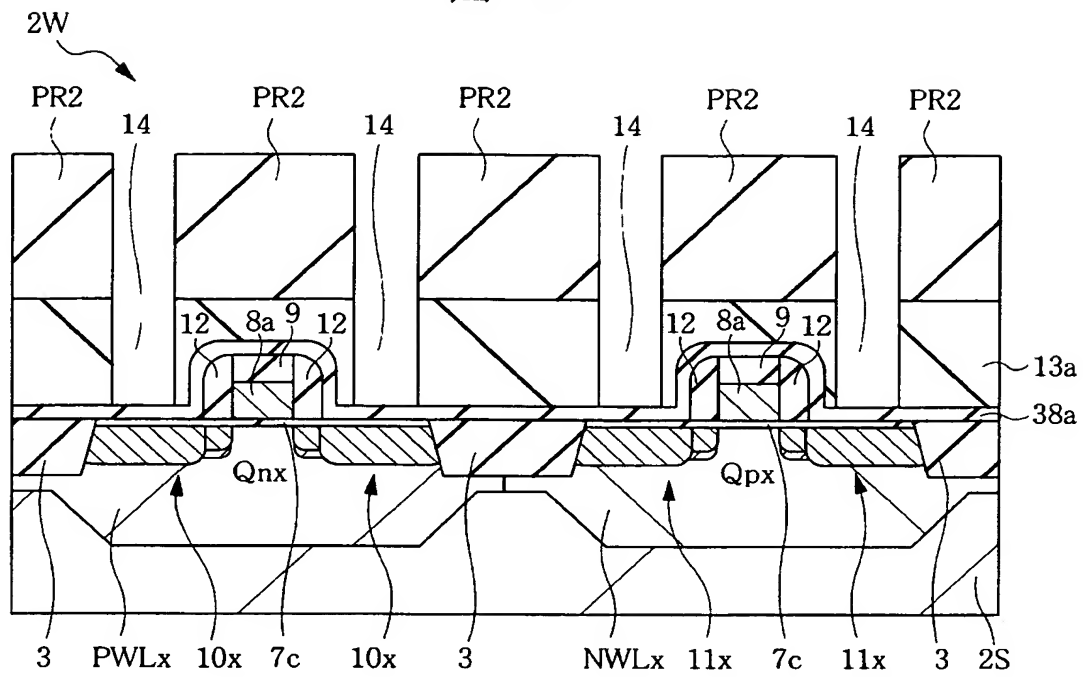


【図 6 3】



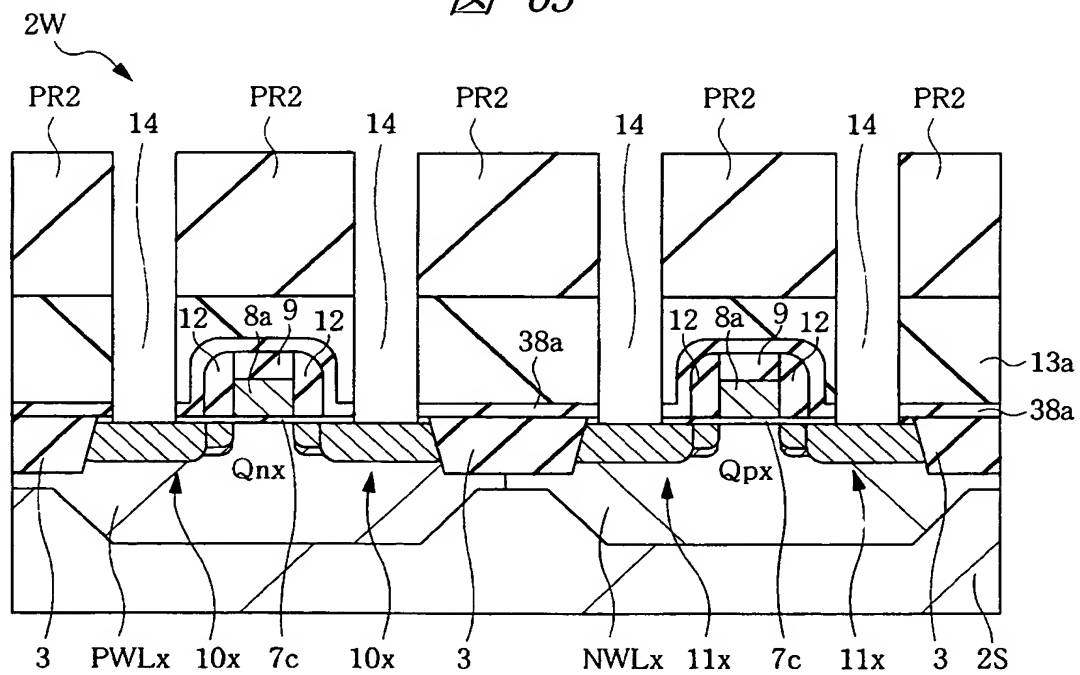
【図 6 4】

図 64

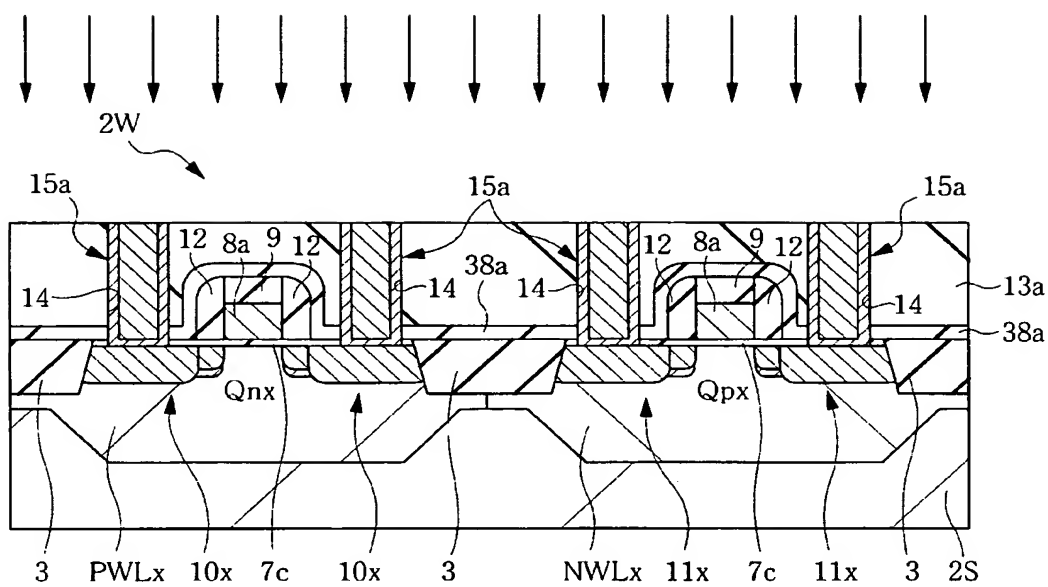
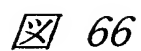


【図 6 5】

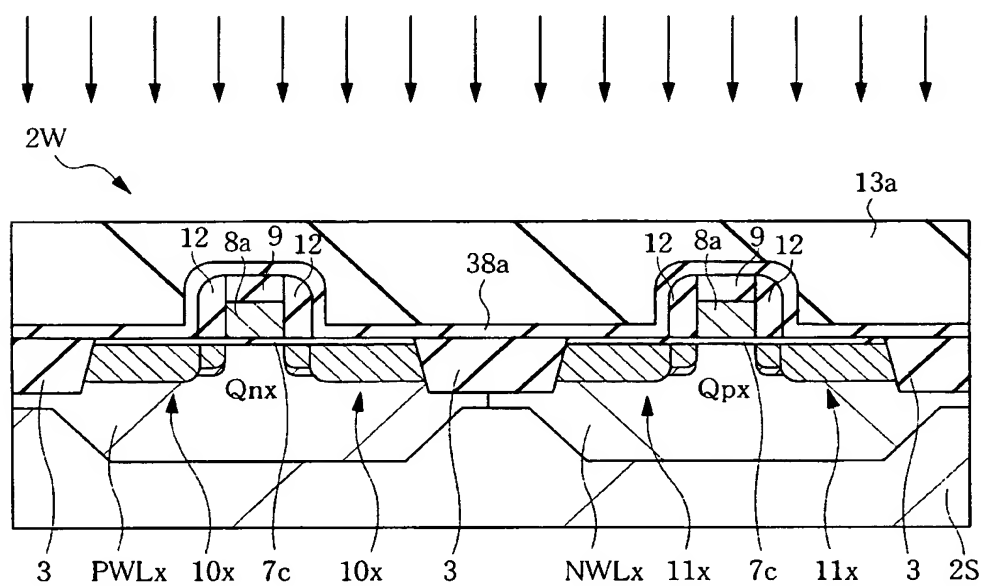
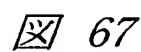
図 65



【図 6 6】



【図 6 7】

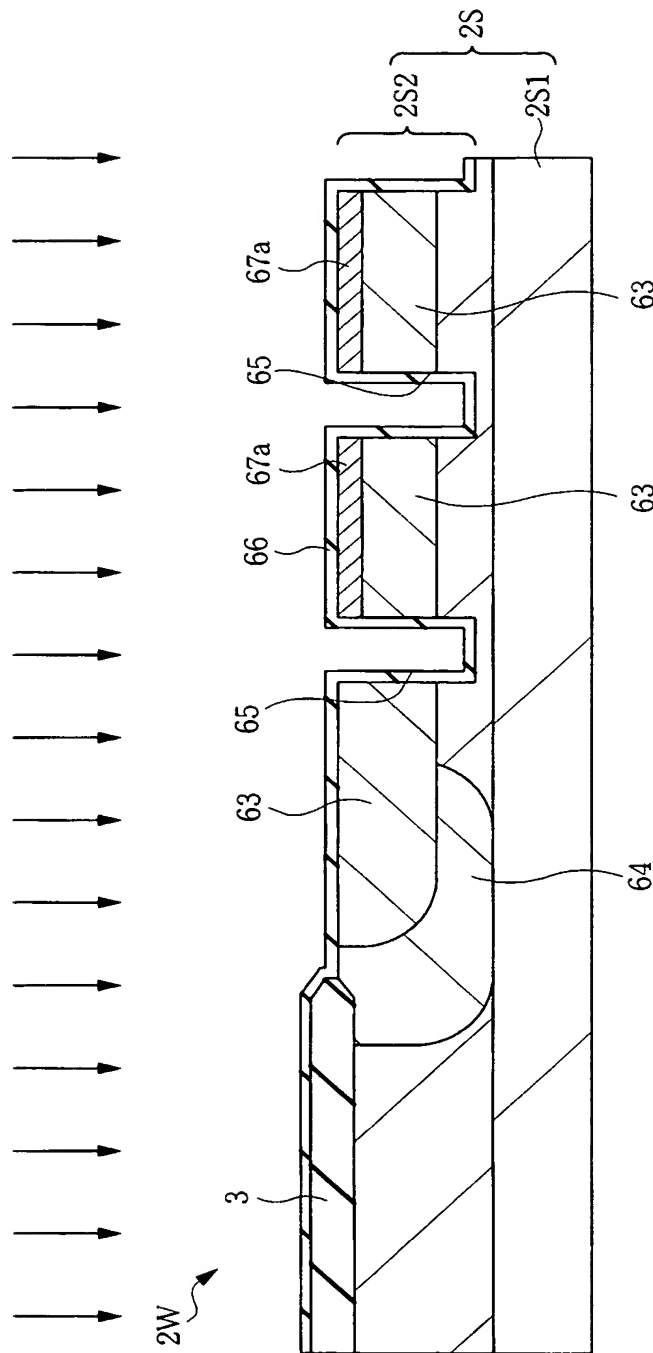




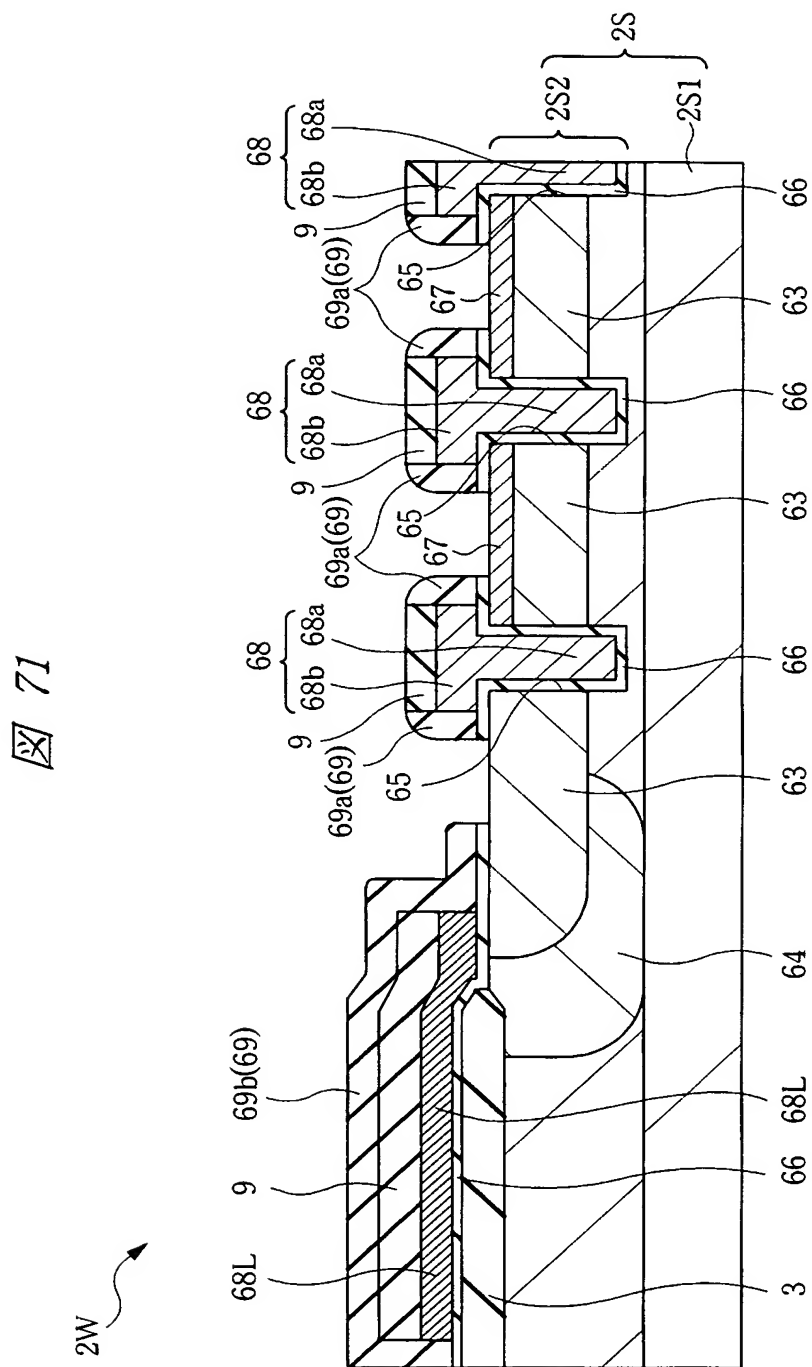


【図 70】

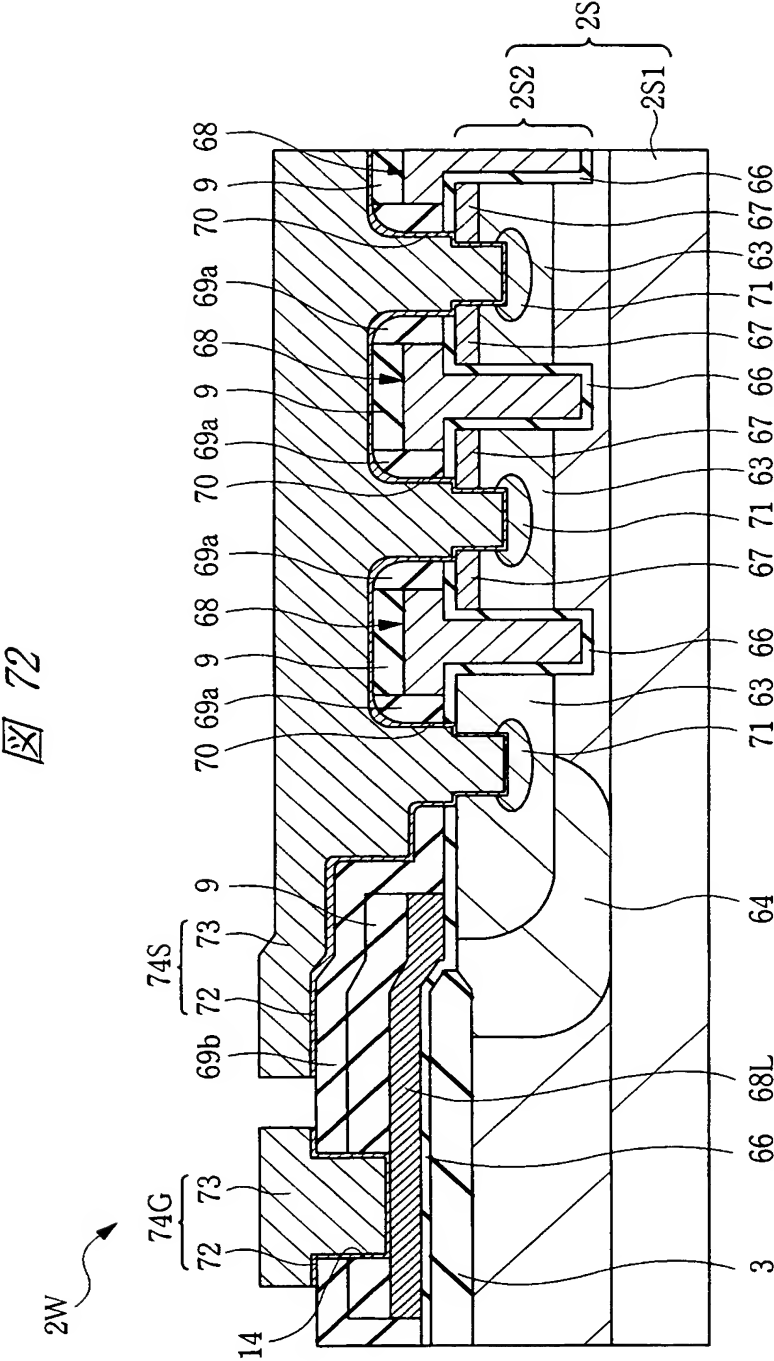
70



【図 7 1】

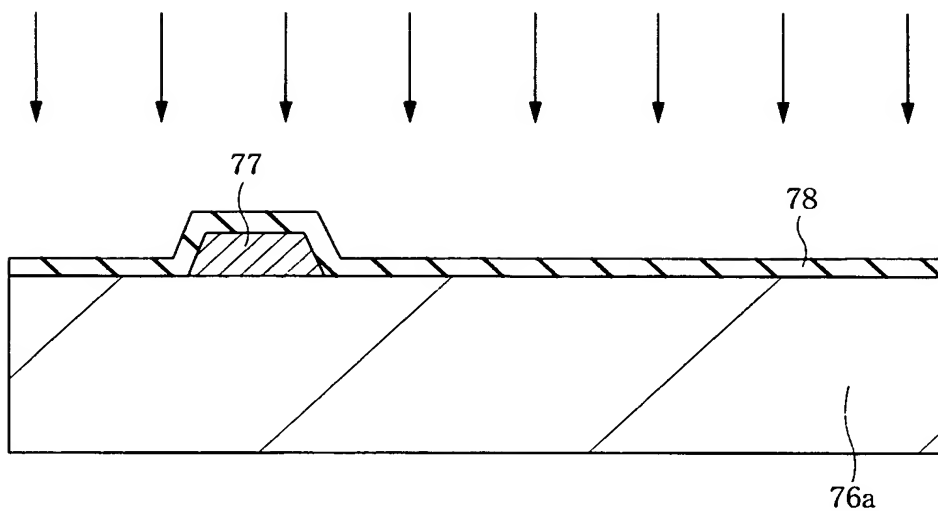


【図 72】



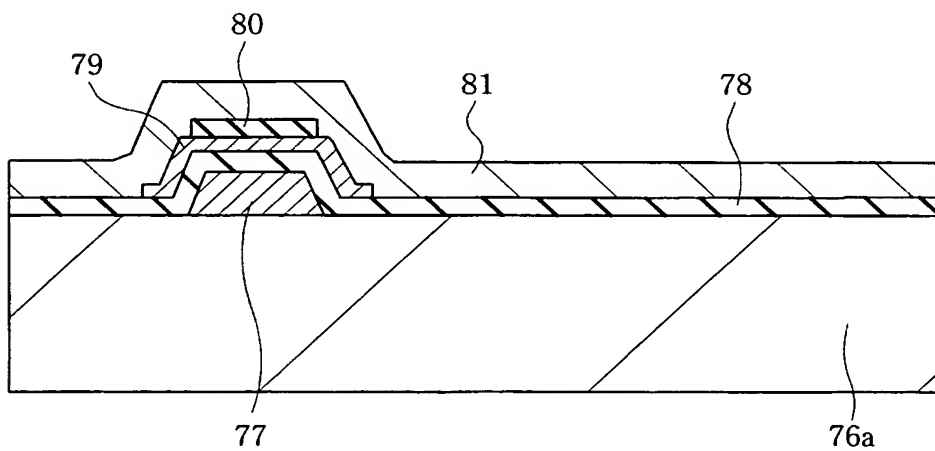
【図 73】

図 73



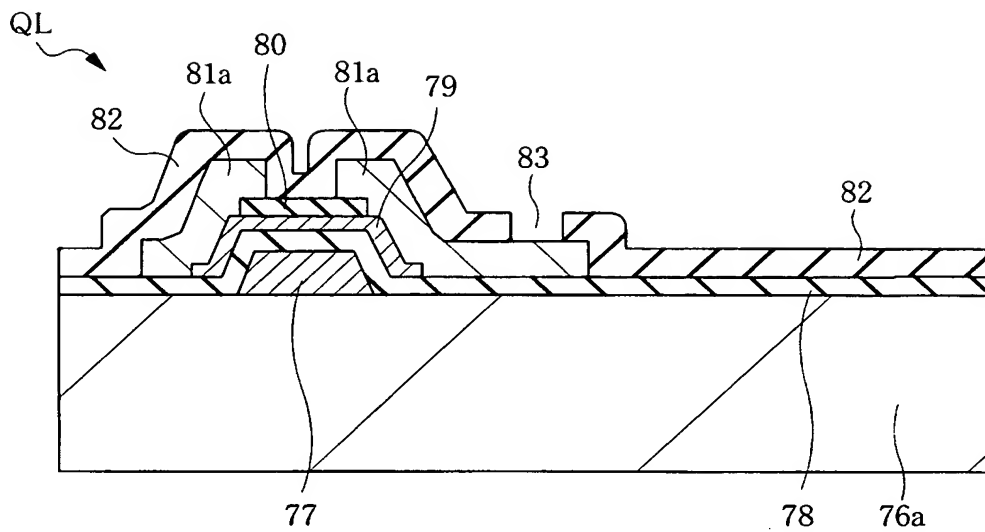
【図 74】

図 74



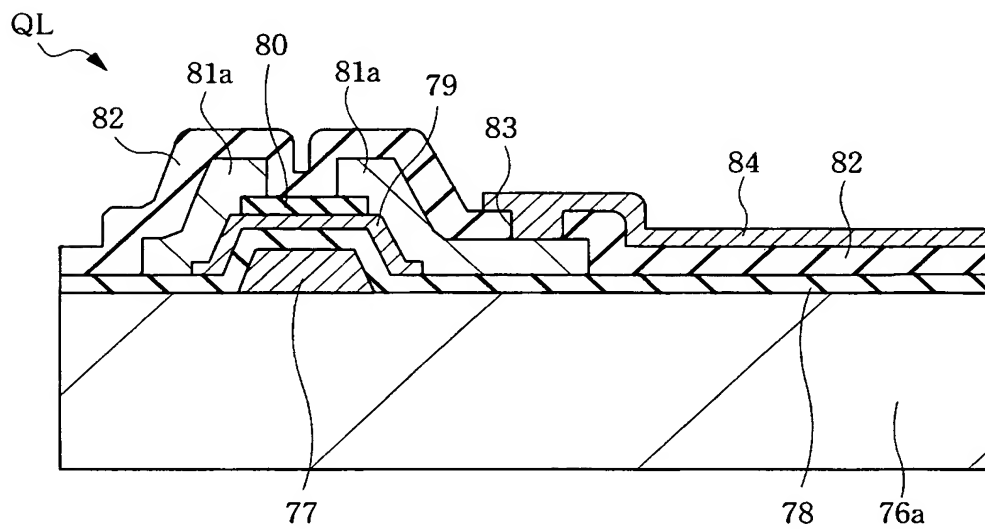
【図 75】

図 75

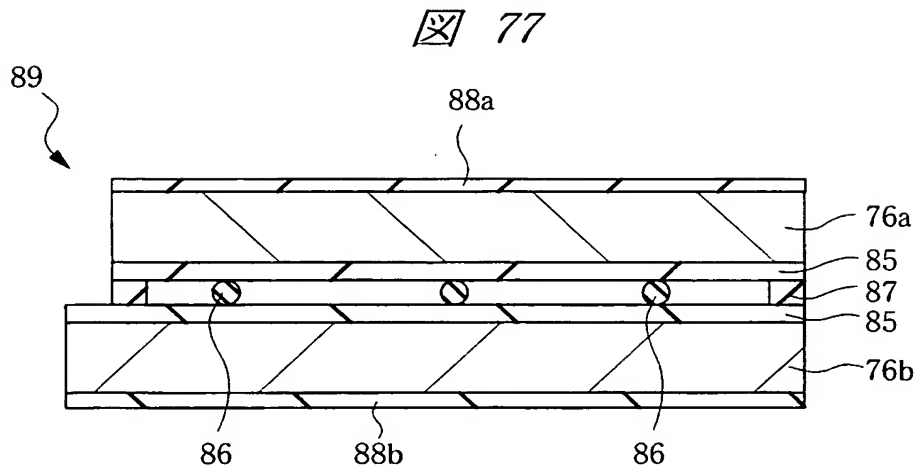


【図 76】

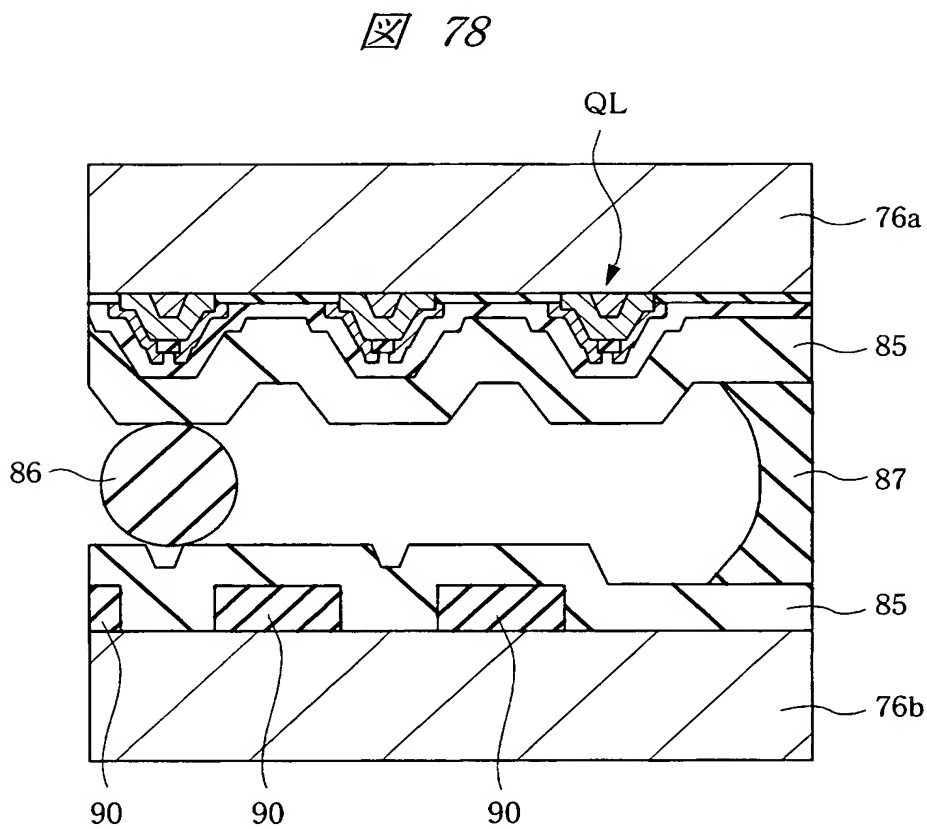
図 76



【図 77】



【図 78】



【書類名】 要約書

【要約】

【課題】 低温プロセスで熱酸化膜と比べて遜色のない膜質の酸化膜を形成する

。

【解決手段】 半導体ウエハ 2 W を構成する基板 2 S の活性領域上の絶縁膜を除去した後、半導体ウエハ 2 W の主面上に、例えば酸化シリコン膜からなる絶縁膜 6 a を減圧 C V D 法によって堆積する。この絶縁膜 6 a は後に M I S ・ F E T のゲート絶縁膜を形成する膜である。続いて、その絶縁膜 6 a に対して矢印で模式的に示すように酸素を含む雰囲気中においてプラズマ処理を施す（酸素プラズマ処理）。これにより、C V D 法で形成された絶縁膜 6 a を、熱酸化膜で形成された絶縁膜と同等程度の膜質に改善できる。

【選択図】 図 1 3

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-317028

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け  
提出の会社分割による特許権移転登録申請書 を援用  
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 7 1 7 6 7 号 同日提出の出願人名  
義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 1 7 0 2 8
受付番号	5 0 3 0 1 1 9 4 7 9 8
書類名	出願人名義変更届（一般承継）
担当官	鈴木 夏生 6 8 9 0
作成日	平成 1 5 年 9 月 3 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 7 月 18 日



特願 2 0 0 2 - 3 1 7 0 2 8

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1 . 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所



特願 2 0 0 2 - 3 1 7 0 2 8

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ